

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0045

Applicant: Hee Bok KANG Confirmation No.:  
Appl. No.: Unassigned Examiner: Unassigned  
Filing Date: Concurrently Herewith Art Unit: Unassigned  
Title: TEST MODE CONTROL DEVICE USING NONVOLATILE  
FERROELECTRIC MEMORY

**CLAIM FOR CONVENTION PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

**Korean Patent Application No. 10-2003-0004826 filed January 24, 2003**

Respectfully submitted,

Date:

12/9/03

By

Johnny A. Kumar

Johnny A. Kumar

HELLER EHRMAN WHITE &  
MCAULIFFE  
1666 K Street, N.W., Suite 300  
Washington, DC 20006  
Telephone: (202) 912-2000  
Facsimile: (202) 912-2020

Attorney for Applicant  
Registration No. 34,649  
Customer No. 26633



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0004826  
Application Number

출원년월일 : 2003년 01월 24일  
Date of Application JAN 24, 2003

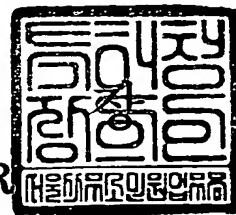
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0001  
**【제출일자】** 2003.01.24  
**【국제특허분류】** H01L  
**【발명의 명칭】** 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치  
**【발명의 영문명칭】** Device for controlling test mode using non-volatile ferroelectric memory  
**【출원인】**  
**【명칭】** 주식회사 하이닉스반도체  
**【출원인코드】** 1-1998-004569-8  
**【대리인】**  
**【성명】** 이 후 동  
**【대리인코드】** 9-1998-000649-0  
**【포괄위임등록번호】** 1999-058167-2  
**【대리인】**  
**【성명】** 이 정 훈  
**【대리인코드】** 9-1998-000350-5  
**【포괄위임등록번호】** 1999-054155-9  
**【발명자】**  
**【성명의 국문표기】** 강희복  
**【성명의 영문표기】** KANG, Hee Bok  
**【주민등록번호】** 650205-1457241  
**【우편번호】** 302-763  
**【주소】** 대전광역시 서구 도마2동 경남아파트 109-203  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
 이 후 동 (인) 대리인  
 이 정 훈 (인)

## 【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	38	면	38,000	원
---------	----	---	--------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	30	항	1,069,000	원
---------	----	---	-----------	---

【합계】	1,136,000	원		
------	-----------	---	--	--

## 【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치에 관한 것으로, 특히, 메모리 셀의 테스트를 위해 조정되는 레퍼런스 전압 및 타이밍을 별도의 프로세스 없이 소프트웨어적으로 재변경하여 메모리 셀 어레이의 특성을 정확하게 테스트 하도록 하는 기술을 개시한다. 이를 위해, 본 발명은 불휘발성 강유전체 메모리를 이용하여 테스트 모드 및 데이터 핀의 배치를 프로그램하고, 프로그램된 코드에 따라 소프트웨어적으로 어드레스, 제어신호 및 데이터 핀의 배치 상태를 재조정함으로써, 별도의 프로세스 없이 셀 어레이의 특성을 정확히 테스트할 수 있게 된다.

**【대표도】**

도 1

**【명세서】****【발명의 명칭】**

불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치{Device for controlling test mode using non-volatile ferroelectric memory}

**【도면의 간단한 설명】**

도 1는 본 발명에 따른 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치의 구성도.

도 2는 도 1의 셀 어레이 블록에 관한 상세 구성도.

도 3은 도 2의 MBL풀업 제어부에 관한 상세 회로도.

도 4은 도 2의 MBL로드 제어부에 관한 상세 회로도.

도 5은 도 2의 C/S제어부에 관한 상세 회로도.

도 6는 도 2의 서브 셀 어레이에 관한 상세 회로도.

도 7은 도 1의 레퍼런스 전압 제어부에 관한 상세 회로도.

도 8은 도 1의 제 2레퍼런스 전압 제어부에 관한 상세 회로도.

도 9는 도 1의 레퍼런스 전압 제어부에 관한 동작 타이밍도.

도 10은 도 1의 타이밍 제어부에 관한 상세 회로도.

도 11는 본 발명에 따른 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치의 다른 실시예.

도 12는 본 발명의 레퍼런스 레지스터부, 타이밍 제어 레지스터부 및 패드 레지스터부에 관한 상세 구성도.

도 13은 도 12의 프로그램 명령 처리부의 상세 구성도.

도 14은 도 13의 플립플롭에 관한 상세 회로도.

도 15은 본 발명에 따른 레퍼런스 레지스터부에서 프로그램 명령 처리부의 동작 타이밍도.

도 16는 본 발명에 따른 타이밍 제어 레지스터부에서 프로그램 명령 처리부의 동작 타이밍도.

도 17은 본 발명에 따른 패드 레지스터부에서 프로그램 명령 처리부의 동작 타이밍도.

도 18은 도 12의 프로그램 레지스터 제어부에 관한 상세 회로도.

도 19는 도 12의 프로그램 레지스터 어레이에 관한 상세 회로도.

도 20은 본 발명의 파워 업 모드시 동작 타이밍도.

도 21는 본 발명의 프로그램시 동작 타이밍도.

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <22> 본 발명은 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치에 관한 것으로, 특히, 메모리 셀의 테스트를 위해 조정되는 레퍼런스 전압 및 타이밍을 소프트웨어적으로 변경할 수 있도록 하는 기술이다.
- <23> 일반적으로 불휘발성 강유전체 메모리 즉, FeRAM(Ferroelectric Random Access Memory)은 디램(DRAM; Dynamic Random Access Memory) 정도의 데이터 처리 속도를 갖고, 전원의 오프시에도 데이터가 보존되는 특성 때문에 차세대 기억 소자로 주목받고 있다.

- <24> 이러한 FRAM은 디램과 거의 유사한 구조를 갖는 기억소자로써 캐패시터의 재료로 강유전체를 사용하여 강유전체의 특성인 높은 잔류 분극을 이용한 것이다. 이와 같은 잔류 분극 특성으로 인하여 전계를 제거하더라도 데이터가 지워지지 않는다.
- <25> 상술된 FRAM에 관한 기술내용은 본 발명과 동일 발명자에 의해 출원된 출원번호 제 2002-85533호에 개시된 바 있다. 따라서, FRAM에 관한 기본적인 구성 및 그 동작에 관한 자세한 설명은 생략하기로 한다.
- <26> 이러한 종래의 불휘발성 강유전체 메모리의 테스트시 다양한 영역에서 칩 특성을 테스트하기 위해서는 별도의 테스트 모드 설정 방법을 도입해야 한다. 즉, 셀 어레이의 특성만을 집중적으로 테스트하기 위해서는 외부에서 센싱 레퍼런스 전압의 레벨을 직접 수동으로 조정하여 셀 특성을 평가하는 것이 반드시 필요하다. 또한, 셀 어레이의 특성을 정량적으로 분석하기 위해서는 센싱 레퍼런스 전압의 레벨을 적절한 레벨로 설정해야 한다.
- <27> 따라서, 종래에는 센싱 레퍼런스 전압의 레벨을 적절하게 설정하기 위하여 별도의 마스크를 이용하여 각각 해당되는 칩의 특성을 평가한다. 그리고, 칩의 특성 평가 결과를 피드백하여 다시 해당 레이어 마스크를 변경함으로써 칩 완제품을 구현한다.
- <28> 그런데, 이러한 경우 테스트 모드를 설정하기 위해서는 별도의 마스크와 별도의 웨이퍼 프로세스가 필요하기 때문에 비용 및 시간적인 면에서 많은 손실을 가져오게 된다.
- <29> 한편, 불휘발성 강유전체 메모리의 테스트시 다양한 패키지 타입을 구현하기 위해서는 다양한 형태의 패드 배치 구조가 요구된다. 즉, 메모리의 테스트 모드 설정시 패드의 배치 구조를 변경하기 위하여 별도의 물리적인 마스크와 별도의 웨이퍼 공정이 필요하다.



<30> 이러한 패키지 요구 조건에서는 각각의 패키지 타입별로 별도의 마스크 세트가 준비되어야 한다. 이러한 경우 비용 및 시간면에서 많은 손실을 가져오게 되어 양산성을 저하시키게 되는 문제점이 있다.

**【발명이 이루고자 하는 기술적 과제】**

<31> 본 발명은 상기와 같은 문제점을 해결하기 위하여 창출된 것으로, 메모리 셀의 테스트를 위해 조정되는 레퍼런스 전압 및 타이밍을 별도의 프로세스 없이 소프트웨어적으로 재변경하여 메모리 셀 어레이의 특성을 정확하게 테스트 하도록 하는데 그 목적이 있다.

**【발명의 구성 및 작용】**

<32> 상기한 목적을 달성하기 위한 본 발명의 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치는, 레퍼런스 입력신호에 따라 일정 레벨의 전압을 갖는 레퍼런스 전압 제어신호를 발생하는 제 1레퍼런스 전압 제어부와; 레퍼런스 전압을 제어하기 위한 코드를 프로그램하고, 프로그램된 코드에 따라 테스트 모드 또는 정상 동작 모드에 관한 정보를 포함하는 레지스터 제어신호를 출력하는 레퍼런스 레지스터부와; 레지스터 제어신호에 따라 테스트 모드에서는 외부로부터 입력되는 외부 제어신호를 선택하고, 정상 동작 모드에서는 레퍼런스 전압 제어신호를 선택하는 경로 제어수단; 및 경로 제어수단의 출력신호에 따라 셀 어레이 블록과 동일한 조건에서 레퍼런스 전압의 전압 레벨을 제어하는 제 2레퍼런스 전압 제어부를 구비함을 특징으로 한다.

<33> 본 발명의 다른 실시예는, 어드레스 천이 검출 신호의 타이밍을 제어하여 출력하는 제 1 타이밍 제어부와; 셀 어레이 블록 구동 제어신호의 타이밍을 제어하기 위한 코드를 프로그램하고, 프로그램된 코드에 따라 테스트 모드 또는 정상 동작 모드에 관한 정보를 포함하는 레지스

터 제어신호를 출력하는 타이밍 제어 레지스터부와; 레지스터 제어신호에 따라 테스트 모드에서는 외부로부터 입력되는 외부 제어신호를 선택하고, 정상 동작 모드에서는 제 1타이밍 제어부의 출력신호를 선택하는 경로 제어수단; 및 경로 제어수단의 출력신호에 따라 셀 어레이 블럭 구동 제어신호의 타이밍을 제어하는 제 2타이밍 제어부를 구비함을 특징으로 한다.

<34> 또한, 본 발명의 또 다른 실시예는, 제어신호 및 어드레스가 입력되는 복수개의 패드부와; 복수개의 패드부로부터 입력된 제어신호 및 어드레스를 버퍼링하는 복수개의 버퍼부와; 패드부로 입력되는 제어신호 및 어드레스의 할당을 위한 코드를 프로그램하고, 프로그램된 코드에 따라 복수개의 패드부와 복수개의 버퍼부 사이의 연결 경로를 변경하기 위한 레지스터 제어신호를 출력하는 패드 레지스터부; 및 레지스터 제어신호에 따라 복수개의 패드부와 복수개의 버퍼부 사이의 연결 상태를 제어하는 경로 제어수단을 구비함을 특징으로 한다.

<35> 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하고자 한다.

<36> 도 1는 본 발명의 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치의 구성도이다.

<37> 본 발명은 복수개의 셀 어레이 블럭(10)과, 데이터 버스부(20)와, 레퍼런스 전압 제어부(80)와, 타이밍 제어부(140)와, 공통 센스앰프 어레이부(150)와, 스위치 제어부(160) 및 데이터 입/출력 버퍼부(170)를 구비한다.

<38> 여기서, 레퍼런스 전압 제어부(80)는 제 1레퍼런스 전압 제어부(30)와, 제 1경로 제어부(40)와, 제 2레퍼런스 전압 제어부(50)와, 레퍼런스 레지스터부(60) 및 제 2경로 제어부(70)를 구비한다.

- <39> 복수개의 셀 어레이 블록(10)은 데이터 버스부(20)를 공유하며, 데이터 버스부(20)는 공통 센스앰프 어레이부(150)와 연결된다. 공통 센스앰프 어레이부(150)는 스위치 제어부(160)와 연결되며, 스위치 제어부(160)는 데이터 입/출력 버퍼부(170)와 연결된다.
- <40> 레퍼런스 레지스터부(60)는 라이트 인에이블 신호 WEB, 칩 인에이블 신호 CEB, 출력 인에이블 신호 OEB 및 리셋신호 RESET에 따라 레지스터 제어신호 RE\_m, REB\_m을 출력한다.
- <41> 제 1레퍼런스 전압 제어부(30)는 내부에서 생성되는 레퍼런스 입력신호 REF\_EQ에 따라 레퍼런스 전압을 제어하여 제 1경로 제어부(40)에 출력한다. 제 1경로 제어부(40)는 레퍼런스 제어신호 RE\_m에 따라 레퍼런스 전압 제어신호 REFSN를 제 2레퍼런스 전압 제어부(50)에 출력한다. 제 2경로 제어부(70)는 레퍼런스 제어신호 REB\_m에 따라 패드로부터 입력되는 외부 제어신호 EXT\_PAD를 제 2레퍼런스 전압 제어부(50)에 출력한다.
- <42> 제 2레퍼런스 전압 제어부(50)는 레퍼런스 전압 제어신호 REFSN을 셀 어레이 블록(10)과 동일한 조건의 전압으로 제어하여 공통 센스앰프 어레이(150)를 제어하기 위한 레퍼런스 전압 REF(n)을 출력한다.
- <43> 이때, 제 1경로 제어부(40)와 제 2경로 제어부(70)는 반대 위상을 갖는다. 즉, 제 1경로 제어부(40)가 활성화 상태일 경우, 제 2경로 제어부(70)는 비활성화 상태이다. 그리고, 제 2경로 제어부(70)가 활성화 상태일 경우, 제 1경로 제어부(40)는 비활성화 상태이다.
- <44> 한편, 타이밍 제어부(140)는 제 1타이밍 제어부(90)와, 제 3경로 제어부(100)와, 제 2타이밍 제어부(110)와, 타이밍 제어 레지스터부(120) 및 제 4경로 제어부(130)를 구비한다.

- <45> 여기서, 타이밍 제어 레지스터부(120)는 라이트 인에이블 신호 WEB, 칩 인에이블 신호 CEB, 출력 인에이블 신호 OEB 및 리셋신호 RESET에 따라 레지스터 제어신호 RE\_n, REB\_n을 출력한다.
- <46> 제 1타이밍 제어부(90)는 내부에서 생성되는 어드레스 천이 검출신호 ATD에 따라 동작 타이밍을 제어하여 제 3경로 제어부(100)에 출력한다. 제 3경로 제어부(100)는 레퍼런스 제어신호 RE\_n에 따라 타이밍 제어신호 T\_IN를 제 2타이밍 제어부(110)에 출력한다. 제 4경로 제어부(130)는 레퍼런스 제어신호 REB\_n에 따라 패드로부터 입력되는 외부 제어신호 EXT\_PAD를 제 2타이밍 제어부(110)에 출력한다.
- <47> 제 2타이밍 제어부(110)는 제 3경로 제어부(100) 또는 제 4경로 제어부(130)의 출력신호를 선택하여 타이밍 제어신호 T\_OUT를 공통 센스앰프 어레이(150)에 출력한다.
- <48> 이때, 제 3경로 제어부(100)와 제 4경로 제어부(130)는 반대 위상을 갖는다. 즉, 제 3경로 제어부(100)가 활성화 상태일 경우, 제 4경로 제어부(130)는 비활성화 상태이다. 그리고, 제 4경로 제어부(130)가 활성화 상태일 경우, 제 3경로 제어부(100)는 비활성화 상태이다.
- <49> 도 2는 도 1의 셀 어레이 블럭(10)에 관한 상세 구성도이다.
- <50> 셀 어레이 블럭(10)은 MBL(Main Bitline;메인 비트라인) 풀업 제어부(11)와, MBL 로드(Load) 제어부(12)와, 복수개의 서브 셀 어레이(13) 및 C/S(Chip Selection;칩 선택) 제어부(14)를 구비한다.
- <51> 도 3은 도 2의 MBL 풀업 제어부(11)에 관한 상세 회로도이다.
- <52> MBL 풀업 제어부(11)는 드레인 단자가 메인 비트라인 MBL에 연결되고, 소스 단자가 전원 전압 VPP(VCC) 인가단에 연결되며, 게이트 단자를 통해 메인 비트라인 풀업 제어신호 MBPUC가

인가되는 PMOS트랜지스터 P1를 구비한다. PMOS트랜지스터 P1는 프리차지시 메인 비트라인 MBL을 풀업시키는 역할을 수행한다.

<53> 도 4은 도 2의 MBL 로드 제어부(12)에 관한 상세 회로도이다.

<54> MBL 로드 제어부(12)는 드레인 단자가 메인 비트라인 MBL에 연결되고, 소스 단자는 전원 전압 VPP(VCC) 인가단에 연결되며, 게이트 단자를 통해 메인 비트라인로드 제어신호 MBLC가 인가되는 PMOS트랜지스터 P2를 구비한다. PMOS트랜지스터 P2는 메모리 셀 데이터의 센싱시 메인 비트라인 MBL에 전류를 공급하는 역할을 수행한다.

<55> 도 5은 도 2의 C/S 제어부(14)에 관한 상세 회로도이다.

<56> C/S 제어부(14)는 메인 비트라인 MBL과 데이터 버스부(20) 사이에 연결된 NMOS트랜지스터 N1와 PMOS트랜지스터 P3을 구비한다. 여기서, NMOS트랜지스터 N1의 게이트 단자에는 칩 선택 제어신호 CSN이 인가되고, PMOS트랜지스터 P3의 게이트 단자에는 칩 선택 제어신호 SCP가 인가된다.

<57> 도 6는 도 2의 서브 셀 어레이(13)에 관한 상세 회로도이다.

<58> 서브 셀 어레이(13)의 각각의 메인 비트라인 MBL은 복수개의 서브 비트라인 SBL 중에서 하나의 서브 비트라인 SBL과 선택적으로 연결된다. 즉, 서브 비트라인 선택 신호 SBSW1의 활성화시 NMOS트랜지스터 N6가 턴온되어 하나의 서브 비트라인 SBL을 활성화시킨다. 또한, 하나의 서브 비트라인 SBL에는 복수개의 셀 C이 연결된다.

<59> 서브 비트라인 SBL은 서브 비트라인 풀다운 신호 SBPD의 활성화시 NMOS트랜지스터 N4의 턴온에 따라 그라운드 레벨로 풀다운 된다. 그리고, 서브 비트라인 풀업 신호 SBPU는 서브 비

트라인 SBL에 공급되는 전원을 제어하기 위한 신호이다. 즉, 저전압에서는 전원전압 VCC 보다 높은 전압을 생성하여 서브 비트라인 SBL에 공급한다.

- <60> 그리고, 서브 비트라인 선택 신호 SBSW2는 NMOS트랜지스터 N5의 스위칭에 따라 서브 비트라인 풀업 신호 SBPU 인가단과 서브 비트라인 SBL 사이의 연결을 제어한다.
- <61> 또한, NMOS트랜지스터 N3는 NMOS트랜지스터 N2와 메인 비트라인 MBL 사이에 연결되고, 게이트 단자가 서브 비트라인 SBL과 연결된다. NMOS트랜지스터 N2는 접지전압단과 NMOS트랜지스터 N3 사이에 연결되고, 게이트를 통해 메인 비트라인 풀다운 신호 MBPD가 인가되어 메인 비트라인 MBL의 센싱 전압을 조정한다.
- <62> 한편, 도 7은 상술된 도 1의 레퍼런스 전압 제어부(80)에서 제 1레퍼런스 전압 제어부(30)와, 제 1경로 제어부(40) 및 제 2경로 제어부(70)에 관한 상세 회로도이다.
- <63> 먼저, 제 1레퍼런스 전압 제어부(30)는 NMOS트랜지스터 N7과, 불휘발성 강유전체 캐패시터 FC1을 구비한다.
- <64> 여기서, NMOS트랜지스터 N7는 서브 비트라인 SBL과 대응되는 노드 D와 접지전압 VSS 인가단 사이에 연결되어 게이트 단자를 통해 레퍼런스 입력신호 REF\_EQ가 인가된다. NMOS트랜지스터 N7는 레퍼런스 입력신호 REF\_EQ의 활성화시 도 6에 도시된 서브 비트라인 SBL과 대응되는 노드 D를 그라운드 레벨로 초기화시킨다.
- <65> 그리고, 불휘발성 강유전체 캐패시터 FC1는 플레이트 기준전압 제어신호 REF\_PL 인가단과 노드 D 사이에 연결된다. 불휘발성 강유전체 캐패시터 FC1는 도 9에 도시된 셀 C의 셀캐패시터와 대응되며, 플레이트 기준전압 제어신호 REF\_PL에 따라 캐패시터에 저장된 리니어(Linear) 차지 성분을 노드 D에 출력한다.

- <66> 또한, 제 1경로 제어부(40)는 노드 D와 제 2레퍼런스 전압 제어부(50) 사이에 연결되어, 게이트 단자를 통해 레지스터 제어신호 RE\_m가 인가되는 NMOS트랜지스터 N8를 구비한다.
- <67> 제 2경로 제어부(70)는 외부 제어신호 EXT\_PAD 인가단과 제 2레퍼런스 전압 제어부(50) 사이에 연결되어, 게이트 단자를 통해 레지스터 제어신호 REB\_m가 인가되는 NMOS트랜지스터 N9를 구비한다.
- <68> 여기서, 레지스터 제어신호 RE\_m와 레지스터 제어신호 REB\_m는 서로 반대 위상을 갖는 신호로써, 제 1경로 제어부(40) 및 제 2경로 제어부(70) 중 하나만 활성화시키도록 제어한다.
- <69> 따라서, 제 1경로 제어부(40)가 활성화 될 경우, 제 1레퍼런스 전압 제어부(30)에서 발생된 신호가 레퍼런스 전압 제어신호 REFSN이 된다. 반면에, 제 2경로 제어부(70)가 활성화 될 경우, 외부 제어신호 EXT\_PAD가 레퍼런스 전압 제어신호 REFSN가 된다.
- <70> 따라서, 메모리 셀 어레이 테스트 중에는 제 2경로 제어부(70)를 활성화시키고 외부 제어신호 EXT\_PAD의 1전압 레벨을 변경시키면서 메모리 셀 어레이의 데이터 특성을 테스트한다. 반면에, 정상 동작 중에는 제 1경로 제어부(40)를 활성화시키고, 내부에서 발생하는 제 1레퍼런스 전압 제어부(30)의 출력전압을 칩 구동에 사용한다.
- <71> 도 8은 상술된 도 1의 레퍼런스 전압 제어부(80)에서 제 2레퍼런스 전압 제어부(80)에 관한 상세 회로도이다.
- <72> 제 2레퍼런스 전압 제어부(80)는 도 3 내지 도 6에 도시된 셀 어레이 블록(10)의 구성 요소에 대응되는 소자들을 구비한다.

- <73> 즉, 레퍼런스 전압 제어신호 REFSN의 입력 노드는 서브 비트라인 SBL과 대응된다. 그리고, 노드 E는 메인 비트라인 MBL과 대응된다.
- <74> NMOS트랜지스터 N10는 노드 E와 NMOS트랜지스터 N11 사이에 연결되어 게이트 단자를 통해 레퍼런스 전압 제어신호 REFSN가 인가된다. NMOS트랜지스터 N10는 도 9의 서브 셀 어레이(13)에서 NMOS트랜지스터 N3의 조건과 대응되는 소자이다.
- <75> PMOS트랜지스터 P4는 전원전압단과 NMOS트랜지스터 N10 사이에 연결되어 게이트 단자에 접지전압이 인가되어 항상 턴온 상태를 유지한다. PMOS트랜지스터 P4는 도 4의 MBL 로드 제어부(12)에서 PMOS트랜지스터 P2의 조건과 대응되는 소자이다.
- <76> NMOS트랜지스터 N11는 NMOS트랜지스터 N10과 접지전압단 사이에 연결되어 게이트 단자에 전원전압이 인가되어 항상 턴온 상태를 유지한다. NMOS트랜지스터 N11는 도 6의 서브 셀 어레이(13)에서 NMOS트랜지스터 N2의 조건과 대응되는 소자이다.
- <77> 게이트 단자를 통해 전원전압이 인가되는 NMOS트랜지스터 N12 및 게이트 단자를 통해 접지전압이 인가되는 PMOS트랜지스터 P5는 노드 E와 출력단 사이에 연결된다. NMOS트랜지스터 N12 및 PMOS트랜지스터 P5는 도 5의 C/S 제어부(14)에서 NMOS트랜지스터 N1 및 PMOS트랜지스터 P3의 조건과 대응되는 소자이다.
- <78> 캐패시터 CAP1는 데이터 버스부(20)의 RC 딜레이 요소와 대응된다. PMOS트랜지스터 P6는 전원전압단과 출력단 사이에 연결되어 게이트 단자를 통해 메인 비트라인 풀업 제어신호 MBPUC가 인가된다. PMOS트랜지스터 P6은 도 3의 MBL 풀업 제어부(11)에서 PMOS트랜지스터 P1의 조건과 대응되는 소자이다.



- <79> 상술된 제 2레퍼런스 전압 제어부(50)에서 출력되는 레퍼런스 전압 REF(n)과 데이터 버스부(20)에서 출력되는 신호가 공통 센스앰프 어레이부(150)의 입력으로 사용된다.
- <80> 이상에서와 같이 제 2레퍼런스 전압 제어부(50)는 셀 어레이 블럭(10)과 동일한 조건에서 테스트를 수행하여, 정확하고 빠르게 칩의 특성을 평가할 수 있도록 한다.
- <81> 도 9는 본 발명의 레퍼런스 전압 제어부(80)에 관한 동작 타이밍도이다.
- <82> 먼저, t1구간에서 액티브 구간에 진입하면 어드레스가 입력되고, t1의 구간동안 플레이트 기준전압 제어신호 REF\_PL가 로우 레벨로 디스에이블된다.
- <83> 이후에, t2구간에서 레퍼런스 입력신호 REF\_EQ가 로우로 디스에이블되면, 불휘발성 강유전체 캐패시터 FC1에 레퍼런스 차지가 충전되어 n개의 레퍼런스 전압 REF(n)을 발생한다.
- <84> 이때, 제 1경로 제어부(40)가 활성화 상태일 경우, 제 1레퍼런스 전압 제어부(30)의 출력전압이 레퍼런스 전압 제어신호 REFSN의 전압 레벨이 된다. 즉, 불휘발성 강유전체 캐패시터 FC1의 사이즈에 의해 내부조건에 의한 하나의 레퍼런스 전압 제어신호 REFSN의 전압 레벨이 결정된다. 또한, 결정된 레퍼런스 전압 제어신호 REFSN의 전압 레벨에 따라 레퍼런스 전압 REF(n)의 레벨이 결정된다.
- <85> 반면에, 셀 어레이 블럭(10)의 테스트 수행시 레퍼런스 전압 레벨을 변경하고자 할 경우에는 제 2경로 제어부(70)가 활성화된다. 따라서, 외부 제어신호 EXT\_PAD의 전압 레벨이 레퍼런스 전압 제어신호 REFSN의 전압 레벨이 된다.
- <86> 이때, 외부 조건에 의한 외부 제어신호 EXT\_PAD의 전압 레벨을 복수개 생성하여 레퍼런스 전압 제어신호 REFSN의 전압 레벨을 복수개 생성한다. 이에 따라, 레퍼런스 전압 REF(n)의 전압 레벨이 결정된다.

- <87> 한편, 도 10은 도 1의 타이밍 제어부(140)에 관한 상세 회로도이다.
- <88> 먼저, 제 1타이밍 제어부(90)는 어드레스 천이 검출 신호 ATD를 지연하는 복수개의 인버터 IV1, IV2와, 지연 캐패시터 CAP2를 구비한다.
- <89> 또한, 제 3경로 제어부(100)는 제 1타이밍 제어부(90)와 제 2타이밍 제어부(110) 사이에 연결되어, 게이트 단자를 통해 레지스터 제어신호 RE\_n가 인가되는 NMOS트랜지스터 N13를 구비한다.
- <90> 제 4경로 제어부(130)는 외부 제어신호 EXT\_PAD 인가단과 제 2타이밍 제어부(110) 사이에 연결되어, 게이트 단자를 통해 레지스터 제어신호 REB\_n가 인가되는 NMOS트랜지스터 N14를 구비한다.
- <91> 여기서, 레지스터 제어신호 RE\_n와 레지스터 제어신호 REB\_n는 서로 반대 위상을 갖는 신호로써, 제 3경로 제어부(100) 및 제 4경로 제어부(130) 중 하나만 활성화시키도록 제어한다.
- <92> 따라서, 제 3경로 제어부(100)가 활성화 될 경우, 제 1타이밍 제어부(90)에서 발생된 신호가 타이밍 제어신호 T\_IN가 된다. 반면에, 제 4경로 제어부(130)가 활성화 될 경우, 외부 제어신호 EXT\_PAD가 타이밍 제어신호 T\_IN가 된다.
- <93> 제 2타이밍 제어부(110)는 제 3경로 제어부(100) 및 제 4경로 제어부(130)의 출력신호 중 어느 하나를 선택하여 타이밍 제어신호 T\_OUT(n)를 공통 센스앰프 어레이(150)에 출력하는 오아게이트 OR1를 구비한다.
- <94> 따라서, 메모리 셀 어레이 테스트 중에는 제 4경로 제어부(130)를 활성화시키고, 외부 제어신호 EXT\_PAD를 변경시키면서 메모리 셀 어레이의 데이터 특성을 직접 테스트한다. 반면

에, 정상 동작 중에는 제 3경로 제어부(100)를 활성화시키고, 내부에서 발생하는 제 1타이밍 제어부(90)의 출력신호를 칩 구동에 사용한다.

<95> 한편, 도 11는 본 발명에 따른 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치의 다른 실시예이다.

<96> 본 발명은 제어 패드(180)와, 어드레스 패드(181)와, 제 5 내지 제 8경로 제어부(182~185)와, 제어 버퍼(186)와, 어드레스 버퍼(187) 및 패드 레지스터부(190)를 구비한다.

<97> 여기서, 패드 레지스터부(60)는 라이트 인에이블 신호 WEB, 칩 인에이블 신호 CEB, 출력 인에이블 신호 OEB 및 리셋신호 RESET에 따라 레지스터 제어신호 RE\_o, REB\_o를 출력한다.

<98> 제 5경로 제어부(182)는 제어패드(180)와 제어 버퍼(186) 사이에 연결되어 게이트 단자를 통해 레지스터 제어신호 RE\_o가 인가되는 NMOS트랜지스터 N15를 구비한다. 제 6경로 제어부(183)는 어드레스 패드(181)와 제어 버퍼(186) 사이에 연결되어 게이트 단자를 통해 레지스터 제어신호 REB\_o가 인가되는 NMOS트랜지스터 N16를 구비한다.

<99> 제 7경로 제어부(184)는 제어패드(180)와 어드레스 버퍼(187) 사이에 연결되어 게이트 단자를 통해 레지스터 제어신호 REB\_o가 인가되는 NMOS트랜지스터 N17을 구비한다. 제 8경로 제어부(185)는 어드레스 패드(181)와 어드레스 버퍼(187) 사이에 연결되어 게이트 단자를 통해 레지스터 제어신호 RE\_o가 인가되는 NMOS트랜지스터 N18을 구비한다.

<100> 여기서, 제 5경로 제어부(182)와 제 6경로 제어부(183)는 둘 중의 어느 하나가 선택적으로 활성화된다. 그리고, 제 7경로 제어부(184)와 제 8경로 제어부(185)는 둘 중의 어느 하나가 선택적으로 활성화된다.

- <101> 만약, 제 5경로 제어부(182)와 제 8경로 제어부(185)가 활성화 될 경우, 제어 패드(180)는 제어 버퍼(186)로 할당되고 어드레스 패드(181)는 어드레스 버퍼(187)로 할당된다.
- <102> 반면에, 제 6경로 제어부(183)와 제 7경로 제어부(184)가 활성화 될 경우, 원래의 제어 패드(180)는 어드레스 버퍼(187)로 할당되고, 원래의 어드레스 패드(181)는 제어 버퍼(186)로 할당된다.
- <103> 이러한 본 발명은 복수개의 제어 패드(180)와 복수개의 어드레스 패드(181)에서 패드의 핀 역할을 상이하게 변경할 경우 사용하게 된다.
- <104> 예를 들어, 제어 패드(180)와 어드레스 패드(181)의 핀 할당을 변경하고자 할 경우, 제어 패드(180)를 어드레스 버퍼(187)로 할당하고 어드레스 패드(181)를 제어 버퍼(186)로 할당하여 연결한다. 이에 따라, 원래의 제어 패드(180)가 어드레스 패드(181)가 되며, 원래의 어드레스 패드(181)는 제어 패드(180)가 되어 패드의 핀 할당이 변경된다.
- <105> 또한, 본 발명은 테스트 모드에서 뿐만 아니라 일반적인 칩의 패드를 재배치할 경우에 사용되어 프로그램적인 명령신호만으로 칩의 패드 용도를 재배치하여 사용할 수도 있다.
- <106> 한편, 도 12는 레퍼런스 레지스터부(60)와, 타이밍 제어 레지스터부(120) 및 패드 레지스터부(190)에 관한 상세 구성도이다.
- <107> 여기서, 레퍼런스 레지스터부(60)와, 타이밍 제어 레지스터부(120) 및 패드 레지스터부(190)는 그 상세 구성이 동일하며, 본 발명에서는 레퍼런스 레지스터부(60)의 구성을 그 실시예로써 설명하고자 한다.
- <108> 레퍼런스 레지스터부(60)는 프로그램 명령 처리부(200)와, 프로그램 레지스터 제어부(210)와, 리셋 회로부(220) 및 프로그램 레지스터 어레이(230)를 구비한다.

- <109> 여기서, 프로그램 명령 처리부(330)는 라이트 인에이블 신호 WEB와, 칩 인에이블 신호 CEB와, 출력 인에이블 신호 OEB 및 리셋신호 RESET에 따라 프로그램 명령을 코딩하여 명령신호 CMD를 출력한다.
- <110> 프로그램 레지스터 제어부(210)는 명령신호 CMD, 파워 업 검출신호 PUP 및 입력 데이터 DQ\_n를 논리조합하여 라이트 제어신호 ENW 및 셀 플레이트 신호 CPL를 출력한다.
- <111> 프로그램 레지스터 어레이(230)는 풀업 인에이블 신호 ENP, 풀다운 인에이블 신호 ENN, 라이트 제어 신호 ENW 및 셀 플레이트 신호 CPL에 따라 제어신호 RE\_m, REB\_m를 출력한다.
- <112> 리셋 회로부(220)는 파워 업시 레지스터를 초기화시키기 위한 리셋신호 RESET를 프로그램 레지스터 제어부(210)에 출력한다.
- <113> 이러한 구성을 갖는 본 발명은, 프로그램 명령 처리부(200)에서 명령 신호 CMD가 발생하면, 프로그램 레지스터 제어부(210)는 프로그램 레지스터 어레이(230)의 컨피컬(Configure) 데이터를 바꾸거나 설정하게 된다.
- <114> 한편, 리셋 회로부(220)는 파워 업시에 리셋신호 RESET를 발생하여 프로그램 레지스터 제어부(210)를 활성화시킨다. 이때, 프로그램 레지스터 제어부(210)에서 출력된 제어신호들은 프로그램 레지스터 어레이(230)의 불휘발성 데이터를 초기화 설정하기 위한 레지스터 동작 신호들이다.
- <115> 도 13은 도 12의 프로그램 명령 처리부(200)에 관한 상세 회로도이다.
- <116> 프로그램 명령 처리부(200)는 논리부(201)와, 플립플롭부(202) 및 오버 토글(Over toggle) 감지부(203)를 구비한다.

- <117> 여기서, 논리부(201)는 노아게이트 NOR1와, 앤드게이트 AD1,AD2 및 인버터 IV3를 구비한다. 노아게이트 NOR1는 라이트 인에이블 신호 WEB와 칩 인에이블 신호 CEB를 노아 연산한다. 앤드게이트 AD1는 노아게이트 NOR1의 출력신호와 출력 인에이블 신호 OEB를 앤드연산한다. 앤드게이트 AD2는 노아게이트 NOR1의 출력신호와, 인버터 IV3에 의해 반전된 리셋신호 RESET 및 오버 토글 감지부(203)의 출력신호를 앤드연산한다.
- <118> 그리고, 플립플롭부(202)는 복수개의 플립플롭 FF를 구비한다. 복수개의 플립플롭 FF는 노아게이트 NOR1의 출력신호가 입력되는 데이터 입력 노드 d와 출력 노드 q가 서로 직렬로 연결되어 출력단을 통해 명령 신호 CMD를 출력한다. 플립플롭 FF는 앤드게이트 AD1로부터의 활성화 동기 신호가 입력되는 노드 cp와, 앤드게이트 AD2로부터의 리셋신호가 입력되는 리셋노드 R를 구비한다.
- <119> 여기서, 플립플롭 FF의 노드 cp에는 칩 인에이블 신호 CEB 및 라이트 인에이블 신호 WEB가 로우인 상태에서 출력 인에이블 신호 OEB가 입력된다. 그리고, 플립플롭 FF의 리셋노드 R는 칩 인에이블 신호 CEB 및 라이트 인에이블 신호 WEB 중 어느 하나가 하이가 되면 로우 신호가 입력되어 리셋된다. 또한, 파워 업시에 리셋신호 RESET가 하이인 구간에서 플립플롭 FF이 리셋된다.
- <120> 또한, 오버 토글 감지부(203)는 명령신호 CMD와 출력 인에이블 신호 OEB를 낸드연산하는 낸드게이트 ND1을 구비한다. 오버 토글 감지부(203)는 출력 인에이블 신호 OEB가 n번의 토글 횟수를 초과하여 오버 토글이 발생할 경우 플립플롭부(202)를 리셋시킨다.
- <121> 따라서, 각각의 프로그램 명령 처리부(200)의 토글 횟수는 서로 다른 값이 되도록 설정한다.

- <122> 도 14은 도 13의 플립플롭 FF에 관한 상세 회로도이다.
- <123> 플립플롭 FF은 전송게이트 T1~T4와, 낸드게이트 ND2,ND3와, 인버터 IV4~IV9를 구비한다.  
여기서, 인버터 IV4는 노드 cp의 출력을 반전하여 제어신호 A를 출력하고, 인버터 IV5는 인버터 IV4의 출력신호를 반전하여 제어신호 B를 출력한다.
- <124> 전송게이트 T1은 제어신호 A,B의 상태에 따라 인버터 IV6에 의해 반전된 입력노드 d의 출력신호를 선택적으로 출력한다. 낸드게이트 ND2 인버터 IV7의 출력신호와 리셋노드 R의 출력신호를 낸드연산하여 전송게이트 T2에 출력한다.
- <125> 전송게이트 T2는 제어신호 A,B의 상태에 따라 낸드게이트 ND2의 출력신호를 선택적으로 출력한다.
- <126> 전송게이트 T3은 제어신호 A,B의 상태에 따라 인버터 IV7의 출력신호를 선택적으로 출력한다. 낸드게이트 ND3는 전송게이트 T3의 출력신호와 리셋노드 R의 출력신호를 낸드연산한다. 인버터 IV8은 낸드게이트 ND3의 출력신호를 반전하여 전송게이트 T4에 출력한다.
- <127> 전송게이트 T4는 제어신호 A,B의 상태에 따라 인버터 IV8의 출력신호를 선택적으로 출력한다. 인버터 IV9는 낸드게이트 ND3의 출력신호를 반전하여 출력노드 q에 출력한다.
- <128> 따라서, 입력노드 d로부터 입력되는 데이터는 노드 cp를 통해 입력되는 제어신호가 한번 토글될때마다 오른쪽으로 이동하게 된다. 이때, 리셋노드 R에 로우 신호가 입력될 경우 출력노드 q에는 로우 신호가 출력되어 플립플롭 FF이 리셋 상태가 된다.
- <129> 도 15은 도 1의 레퍼런스 레지스터부(60)에서 프로그램 명령 처리부(200)의 동작 과정을 설명하기 위한 도면이다.

- <130> 먼저, 명령 처리 구간에서는 칩인에이블 신호 CEB, 라이트 인에이블 신호 WEB가 로우 상태를 유지한다. 그리고, 출력 인에이블 신호 OEB가 m번 토글할 동안에는 명령 신호 CMD가 디스에이블 상태를 유지한다.
- <131> 이후에, 프로그래머블 활성화 구간에 진입하여 출력 인에이블 신호 OEB가 m번 토글하게 되면 명령신호 CMD가 하이로 인에이블 된다.
- <132> 여기서, 출력 인에이블 신호 OEB의 토글 갯수를 조정할 경우에는 직렬 연결된 플립플롭 FF의 갯수를 조정하게 된다.
- <133> 도 16는 도 1의 타이밍 제어 레지스터부(120)에서 프로그램 명령 처리부(200)의 동작 과정을 설명하기 위한 도면이다.
- <134> 먼저, 명령 처리 구간에서는 칩인에이블 신호 CEB, 라이트 인에이블 신호 WEB가 로우 상태를 유지한다. 그리고, 출력 인에이블 신호 OEB가 n번 토글할 동안에는 명령 신호 CMD가 디스에이블 상태를 유지한다.
- <135> 이후에, 프로그래머블 활성화 구간에 진입하여 출력 인에이블 신호 OEB가 n번 토글하게 되면 명령신호 CMD가 하이로 인에이블 된다.
- <136> 여기서, 출력 인에이블 신호 OEB의 토글 갯수를 조정할 경우에는 직렬 연결된 플립플롭 FF의 갯수를 조정하게 된다.
- <137> 도 17은 도 11의 패드 레지스터부(190)에서 프로그램 명령 처리부(200)의 동작 과정을 설명하기 위한 도면이다.



- <138> 먼저, 명령 처리 구간에서는 칩인에이블 신호 CEB, 라이트 인에이블 신호 WEB가 로우 상태를 유지한다. 그리고, 출력 인에이블 신호 OEB가 0번 토글할 동안에는 명령 신호 CMD가 디스에이블 상태를 유지한다.
- <139> 이후에, 프로그래머블 활성화 구간에 진입하여 출력 인에이블 신호 OEB가 0번 토글하게 되면 명령신호 CMD가 하이로 인에이블 된다.
- <140> 여기서, 출력 인에이블 신호 OEB의 토글 갯수를 조정할 경우에는 직렬 연결된 플립플롭 FF의 갯수를 조정하게 된다.
- <141> 도 18은 도 12의 프로그램 레지스터 제어부(210)의 상세 회로도이다.
- <142> 프로그램 레지스터 제어부(210)는 n번째 명령신호 CMD와 입력 데이터 DQ<sub>n</sub>를 앤드연산하는 앤드게이트 AD4를 구비한다. 인버터 IV10~IV12는 앤드게이트 AD4의 출력신호를 반전 지연한다.
- <143> 노아게이트 NOR2는 앤드게이트 AD4의 출력신호와 인버터 IV12의 출력신호를 노아연산한다. 인버터 IV13, IV14는 노아게이트 NOR2의 출력신호를 지연하여 라이트 제어 신호 ENW를 출력한다.
- <144> 노아게이트 NOR3는 노아게이트 NOR2의 출력신호와 파워 업 검출신호 PUP를 노아연산하여 출력한다. 인버터 IV15~IV17는 노아게이트 NOR3의 출력신호를 비반전 지연하여 셀 플레이트 신호 CPL를 출력한다.
- <145> 여기서, 파워 업 검출신호 PUP는 초기의 리셋시 레지스터에 저장된 데이터를 리드한 이후에 다시 레지스터를 셋트하기 위한 제어신호이다.

- <146> n번째 명령신호 CMD가 하이로 활성화 된 이후 입력패드를 이용하여 입력 데이터 DQ<sub>n</sub>를 토글시키면, 지연부(211)의 지연 시간 만큼의 펄스폭을 갖는 라이트 제어 신호 ENW 및 셀 플레이트 신호 CPL가 발생한다.
- <147> 도 19는 도 12의 프로그램 레지스터 어레이(230)에 관한 상세 회로도이다.
- <148> 프로그램 레지스터 어레이(230)는 풀업 구동소자 P7와, 구동부(231)와, 라이트 인에이블 제어부(232)와, 강유전체 캐패시터부(233)와, 구동부(234) 및 풀다운 구동소자 N23를 구비한다.
- <149> 여기서, 풀업 구동소자 P7은 전원전압 VCC 인가단과 구동부(231) 사이에 연결되어 게이트 단자를 통해 풀업 인에이블 신호 ENP가 인가되는 PMOS트랜지스터 P7를 구비한다.
- <150> 구동부(231)는 래치 구조의 PMOS트랜지스터 P8,P9를 구비한다. PMOS트랜지스터 P8의 게이트는 PMOS트랜지스터 P9의 드레인 단자와 연결되고, PMOS트랜지스터 P9의 게이트는 PMOS트랜지스터 P8의 드레인 단자와 연결된다.
- <151> 라이트 인에이블 제어부(232)는 NMOS트랜지스터 N19,N20를 구비한다. NMOS트랜지스터 N19은 리셋신호 RESET 입력단과 PMOS트랜지스터 P8의 드레인 단자 사이에 연결되어 게이트 단자를 통해 라이트 제어 신호 ENW가 인가된다. NMOS트랜지스터 N20는 세트 신호 SET와 PMOS트랜지스터 P9의 드레인 단자 사이에 연결되어 게이트 단자를 통해 라이트 제어 신호 ENW가 인가된다.
- <152> 강유전체 캐패시터부(233)는 강유전체 캐패시터 FC2-FC5를 구비한다. 강유전체 캐패시터 FC2는 일단이 노드 CN1과 연결되고 다른 일단을 통해 셀 플레이트 신호 CPL가 인가된다.

강유전체 캐패시터 FC3는 일단이 노드 CN2와 연결되고 다른 일단을 통해 셀 플레이트 신호 CPL가 인가된다.

<153> 그리고, 강유전체 캐패시터 FC4는 노드 CN1과 접지전압단 사이에 연결되고, 강유전체 캐패시터 FC5는 노드 CN2와 접지전압단 사이에 연결된다. 여기서, 강유전체 캐패시터 FC4, FC5는 셀 양단의 로딩 레벨 제어에 따라 선택적으로 추가되어 사용될 수도 있다.

<154> 또한, 구동부(234)는 래치 구조의 NMOS트랜지스터 N21, N22를 구비한다. NMOS트랜지스터 N21은 노드 CN1과 NMOS트랜지스터 N23의 드레인 단자 사이에 연결되어 게이트 단자가 NMOS트랜지스터 N22의 드레인 단자와 연결된다. 그리고, NMOS트랜지스터 N22는 노드 CN2와 NMOS트랜지스터 N23의 드레인 단자 사이에 연결되어 게이트 단자가 NMOS트랜지스터 N21의 드레인 단자와 연결된다.

<155> 풀다운 구동소자 N23는 MOS트랜지스터 N21 및 NMOS트랜지스터 N22의 공통 소스 단자와 접지전압 VSS 인가단 사이에 연결되어 게이트를 통해 풀다운 인에이블 신호 ENN가 인가된다.

<156> 또한, 프로그램 레지스터 어레이(230)는 출력단을 통해 제어신호 RE<sub>m</sub>, RE<sub>m</sub>를 출력한다.

<157> 한편, 도 20은 본 발명의 전원 투입시에 프로그램 셀에 저장된 데이터를 센싱하여 리드하는 동작 타이밍도이다.

<158> 먼저, 파워 업 이후 T1구간에서 전원이 안정된 전원전압 VCC 레벨에 도달하면 리셋신호 RESET가 디스에이블되고, 파워 업 검출신호 PUP가 인에이블된다.

- <159> 이후에, 파워 업 검출신호 PUP의 인에이블에 따라 셀 플레이트 신호 CPL가 하이로 천이한다. 이때, 프로그램 레지스터 어레이(230)의 강유전체 캐패시터 FC2,FC3에 저장된 전하가 강유전체 캐패시터 FC4,FC5의 캐패시턴스 로드에 의해 셀 양단 노드 즉, CN1과 CN2에 전압차를 발생시킨다.
- <160> 셀 양단 노드에 충분히 전압차가 발생하는 T2구간에 진입하면 풀다운 인에이블 신호 ENN가 하이로 인에이블되고, 풀업 인에이블 신호 ENP로 로우로 디스에이블되어 셀 양단의 데이터를 증폭하게 된다.
- <161> 이후에, T3구간에 진입하여 셀 양단의 데이터 증폭이 완료되면, 파워 업 검출신호 PUP 및 셀 플레이트 신호 CPL를 다시 로우로 천이시킨다. 따라서, 파괴되었던 강유전체 캐패시터 FC2 또는 강유전체 캐패시터 FC3의 하이 데이터를 다시 복구하게 된다. 이때, 라이트 제어 신호 ENW는 로우 상태를 유지하여 외부 데이터가 다시 라이트되는 것을 방지한다.
- <162> 도 21는 본 발명의 프로그램 동작시 n번째 명령신호 CMD가 하이로 활성화된 이후에 프로그램 레지스터에 새로운 데이터를 셋트하기 위한 동작 타이밍도를 나타낸다.
- <163> 먼저, n번째 명령신호 CMD가 하이로 인에이블된 후 일정시간이 지나면, 셋트 신호 SET, 리셋신호 RESET가 입력된다. 그리고, 데이터 입/출력 패드로부터 인가되는 입력 데이터 DQ<sub>n</sub>가 하이에서 로우로 디스에이블되면 프로그램 사이클이 시작되어 레지스터에 새로운 데이터를 라이트하기 위한 라이트 제어 신호 ENW 및 셀 플레이트 신호 CPL가 하이로 천이한다.
- <164> 이때, 풀다운 인에이블 신호 ENN는 하이 상태를 유지하고, 풀업 인에이블 신호 ENP는 로우 상태를 유지한다.

<165> 따라서, 프로그램 레지스터 제어부(210)에 n번째 명령 신호 CMD가 하이로 입력될 경우 프로그램 명령 처리부(200)로부터의 신호유입이 차단되어, 더이상 제어 명령이 입력되지 않는 상태에서 프로그램 동작을 수행할 수 있게 된다.

<166> 이러한 본 발명은 메모리 셀의 테스트시 공통 센스앰프 어레이(150)에 제공되는 레퍼런스 전압과 타이밍을 제어하고, 입력 패드의 데이터 핀을 역할을 변경하는 것을 그 실시예로 설명하였다. 하지만, 본 발명은 이에 한정되지 않고, 워드라인, 플레이트 라인 또는 래치를 제어하기 위한 테스트 모드 변경에 이용할 수도 있다.

#### 【발명의 효과】

<167> 이상에서 설명한 바와 같이, 본 발명은 명령 신호에 의한 프로그램적인 방법을 이용하여 추가적인 마스크에 의해 발생하는 비용을 절감할 수 있고, 빠른 시간 안에 정확한 칩 특성 평가를 할 수 있도록 한다.

**【특허청구범위】****【청구항 1】**

레퍼런스 입력신호에 따라 일정 레벨의 전압을 갖는 레퍼런스 전압 제어신호를 발생하는 제 1레퍼런스 전압 제어부;

레퍼런스 전압을 제어하기 위한 코드를 프로그램하고, 프로그램된 코드에 따라 테스트 모드 또는 정상 동작 모드에 관한 정보를 포함하는 레지스터 제어신호를 출력하는 레퍼런스 레지스터부;

상기 레지스터 제어신호에 따라 상기 테스트 모드에서는 외부로부터 입력되는 외부 제어신호를 선택하고, 상기 정상 동작 모드에서는 상기 레퍼런스 전압 제어신호를 선택하는 경로 제어수단; 및

상기 경로 제어수단의 출력신호에 따라 셀 어레이 블럭과 동일한 조건에서 레퍼런스 전압의 전압 레벨을 제어하는 제 2레퍼런스 전압 제어부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치.

**【청구항 2】**

제 1항에 있어서, 상기 제 1레퍼런스 전압 제어부는

상기 레퍼런스 입력 신호의 활성화시 상기 셀 어레이 블럭의 서브 비트라인과 대응되는 제 1노드를 초기화 시키는 제 1구동소자; 및

플레이트 기준전압 제어신호에 따라 상기 제 1노드에 리니어 차지 성분을 제공하는 불휘발성 강유전체 캐패시터를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치.

**【청구항 3】**

제 1항에 있어서, 상기 경로 제어수단은

상기 정상 동작 모드시 활성화되는 제 1레지스터 제어신호에 따라 상기 제 1레퍼런스 전압 제어부의 출력신호를 선택하는 제 1경로 제어부; 및

상기 테스트 모드시 활성화되는 제 2레지스터 제어신호에 따라 상기 외부 제어신호를 선택하는 제 2경로 제어부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치.

**【청구항 4】**

제 1항에 있어서, 상기 레퍼런스 레지스터부는

라이트 인에이블 신호와, 칩 인에이블 신호와, 출력 인에이블 신호 및 리셋신호에 따라 프로그램 명령을 코딩하기 위한 명령신호를 출력하는 프로그램 명령 처리부;

상기 명령신호, 입력 데이터 및 파워 업 검출신호를 논리연산하여 라이트 제어 신호 및 셀 플레이트 신호를 출력하는 프로그램 레지스터 제어부;

불휘발성 강유전체 메모리 소자를 구비하고, 상기 라이트 제어 신호, 상기 셀 플레이트 신호, 풀업 인에이블 신호 및 풀다운 인에이블 신호에 따라 상기 프로그램된 코드를 출력하는 프로그램 레지스터 어레이; 및

파워 업시 상기 리셋신호를 상기 프로그램 레지스터 제어부에 출력하는 리셋 회로부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치.

**【청구항 5】**

제 4항에 있어서, 상기 프로그램 명령 처리부는

상기 라이트 인에이블 신호, 상기 칩 인에이블 신호, 상기 출력 인에이블 신호 및 상기 리셋신호를 논리연산하는 논리부;

상기 논리부의 출력신호에 대응하여 상기 출력 인에이블 신호의 토글을 순차적으로 플립 플롭시켜 상기 명령신호를 출력하는 플립플롭부; 및

상기 출력 인에이블 신호의 오버 토글을 감지하는 오버 토글 감지부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치.

#### 【청구항 6】

제 5항에 있어서, 상기 논리부는

상기 라이트 인에이블 신호와 상기 칩 인에이블 신호를 노아 연산하는 제 1노아게이트;

상기 제 1노아게이트의 출력신호와 상기 출력 인에이블 신호를 앤드연산하는 제 1앤드게이트;

상기 제 1노아게이트의 출력신호, 반전된 상기 리셋신호 및 상기 오버 토글 감지부의 출력신호를 앤드연산하는 제 2앤드게이트를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치.

#### 【청구항 7】

제 5항에 있어서, 상기 플립플롭부는 복수개의 플립플롭을 구비하고,

상기 복수개의 플립플롭은 데이터 입력 노드와 출력 노드가 서로 직렬 연결되어 출력단을 통해 상기 명령 신호가 출력되고, 상기 논리부로부터 인가되는 활성화 동기 신호에 따라 상기 출력 인에이블 신호의 토글을 플립플롭시킴을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치.



**【청구항 8】**

제 4항에 있어서, 상기 프로그램 레지스터 제어부는

상기 명령신호 및 상기 입력 데이터를 앤드연산하는 제 3앤드게이트;

상기 제 3앤드게이트의 출력을 비반전 지연하는 제 1지연부;

상기 제 3앤드게이트의 출력신호와 상기 제 1지연부의 출력신호를 노아연산하는 제 2노아게이트;

상기 제 2노아게이트의 출력을 지연하여 상기 라이트 제어 신호를 출력하는 제 2지연부;

상기 제 2노아게이트의 출력신호와 상기 파워 업 검출신호를 노아연산하는 제 3노아게이트; 및

상기 제 3노아게이트의 출력신호를 반전 지연하여 상기 셀 플레이트 신호를 출력하는 제 3지연부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치.

**【청구항 9】**

제 4항에 있어서, 상기 프로그램 레지스터 어레이는

상기 풀업 인에이블 신호의 인에이블시 전원전압을 풀업시키는 풀업 구동소자;

프로그램 레지스터의 양단에 크로스 커플드 구조로 연결되어 상기 풀업 구동소자로부터 인가되는 전압을 구동하는 제 1구동부;

상기 라이트 제어 신호에 따라 상기 리셋신호 및 셋트 신호를 상기 프로그램 레지스터의 양단에 출력하는 라이트 인에이블 제어부;

상기 셀 플레이트 신호에 따라 상기 프로그램 레지스터의 양단에 전압 차를 발생시키는  
강유전체 캐패시터부;

상기 풀다운 인에이블 신호의 인에이블시 접지전압을 풀다운시키는 풀다운 구동소자;  
및

상기 프로그램 레지스터의 양단에 크로스 커플드 구조로 연결되어 상기 풀다운 구동소자  
로부터 인가되는 전압을 구동하는 제 2구동부를 구비함을 특징으로 하는 불휘발성 강유전체 메  
모리를 이용한 테스트 모드 제어 장치.

#### 【청구항 10】

제 1항에 있어서, 상기 제 2레퍼런스 전압 제어부는

상기 경로 제어수단으로부터 인가되는 출력신호의 활성화시 상기 셀 어레이 블록의 메  
인 비트라인과 대응되는 제 2노드에 그라운드 전압을 제공하는 제 3구동부;

상기 셀 어레이 블록의 메인 비트라인 로드 제어부와 대응되어 상기 제 2노드에 전원전  
압을 제공하는 제 2구동소자;

상기 셀 어레이 블록의 칩 선택 제어부와 대응되어 상기 제 2노드의 전압을 선택적으로  
출력하는 제 4구동부;

상기 제 2노드의 딜레이 성분과 대응되는 캐패시터; 및

상기 셀 어레이 블록의 메인 비트라인 풀업 제어부와 대응되어 메인 비트라인 풀업 제어  
신호에 따라 상기 제 2노드에 전원전압을 제공하는 제 3구동소자를 구비함을 특징으로 하는 불  
휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치.

## 【청구항 11】

어드레스 천이 검출 신호의 타이밍을 제어하여 출력하는 제 1타이밍 제어부;

셀 어레이 블럭 구동 제어신호의 타이밍을 제어하기 위한 코드를 프로그램하고, 프로그램된 코드에 따라 테스트 모드 또는 정상 동작 모드에 관한 정보를 포함하는 레지스터 제어신호를 출력하는 타이밍 제어 레지스터부;

상기 레지스터 제어신호에 따라 상기 테스트 모드에서는 외부로부터 입력되는 외부 제어신호를 선택하고, 상기 정상 동작 모드에서는 상기 제 1타이밍 제어부의 출력신호를 선택하는 경로 제어수단; 및

상기 경로 제어수단의 출력신호에 따라 상기 셀 어레이 블럭 구동 제어신호의 타이밍을 제어하는 제 2타이밍 제어부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치.

## 【청구항 12】

제 11항에 있어서, 상기 제 1타이밍 제어부는

상기 어드레스 천이 검출 신호를 일정시간 지연하는 인버터체인;

상기 인버터체인의 각 노드에 연결된 캐패시터를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치.

## 【청구항 13】

제 11항에 있어서, 상기 경로 제어수단은

상기 정상 동작 모드시 활성화되는 제 1레지스터 제어신호에 따라 상기 제 1타이밍 제어부의 출력신호를 선택하는 제 3경로 제어부; 및

상기 테스트 모드시 활성화되는 제 2레지스터 제어신호에 따라 상기 외부 제어신호를 선택하는 제 4경로 제어부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치;

#### 【청구항 14】

제 11항에 있어서, 상기 타이밍 제어 레지스터부는

라이트 인에이블 신호와, 칩 인에이블 신호와, 출력 인에이블 신호 및 리셋신호에 따라 프로그램 명령을 코딩하기 위한 명령신호를 출력하는 프로그램 명령 처리부;

상기 명령신호, 입력 데이터 및 파워 업 검출신호를 논리연산하여 라이트 제어 신호 및 셀 플레이트 신호를 출력하는 프로그램 레지스터 제어부;

불휘발성 강유전체 메모리 소자를 구비하고, 상기 라이트 제어 신호, 상기 셀 플레이트 신호, 풀업 인에이블 신호 및 풀다운 인에이블 신호에 따라 상기 프로그램된 코드를 출력하는 프로그램 레지스터 어레이; 및

파워 업시 상기 리셋신호를 상기 프로그램 레지스터 제어부에 출력하는 리셋 회로부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치.

#### 【청구항 15】

제 14항에 있어서, 상기 프로그램 명령 처리부는

상기 라이트 인에이블 신호, 상기 칩 인에이블 신호, 상기 출력 인에이블 신호 및 상기 리셋신호를 논리연산하는 논리부;

상기 논리부의 출력신호에 대응하여 상기 출력 인에이블 신호의 토글을 순차적으로 플립 플롭시켜 상기 명령신호를 출력하는 플립플롭부; 및

상기 출력 인에이블 신호의 오버 토글을 감지하는 오버 토글 감지부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치.

【청구항 16】

제 15항에 있어서, 상기 논리부는

상기 라이트 인에이블 신호와 상기 칩 인에이블 신호를 노아 연산하는 제 1노아게이트;

상기 제 1노아게이트의 출력신호와 상기 출력 인에이블 신호를 앤드연산하는 제 1앤드게이트;

상기 제 1노아게이트의 출력신호, 반전된 상기 리셋신호 및 상기 오버 토글 감지부의 출력신호를 앤드연산하는 제 2앤드게이트를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치.

【청구항 17】

제 15항에 있어서, 상기 플립플롭부는 복수개의 플립플롭을 구비하고,

상기 복수개의 플립플롭은 데이터 입력 노드와 출력 노드가 서로 직렬 연결되어 출력단을 통해 상기 명령 신호가 출력되고, 상기 논리부로부터 인가되는 활성화 동기 신호에 따라 상기 출력 인에이블 신호의 토글을 플립플롭시킴을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치.

【청구항 18】

제 14항에 있어서, 상기 프로그램 레지스터 제어부는

상기 명령신호 및 상기 입력 데이터를 앤드연산하는 제 3앤드게이트;

상기 제 3앤드게이트의 출력을 비반전 지연하는 제 1지연부;

상기 제 3앤드게이트의 출력신호와 상기 제 1지연부의 출력신호를 노아연산하는 제 2노아게이트;

상기 제 2노아게이트의 출력을 지연하여 상기 라이트 제어 신호를 출력하는 제 2지연부;

상기 제 2노아게이트의 출력신호와 상기 파워 업 검출신호를 노아연산하는 제 3노아게이트; 및

상기 제 3노아게이트의 출력신호를 반전 지연하여 상기 셀 플레이트 신호를 출력하는 제 3지연부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치.

#### 【청구항 19】

제 14항에 있어서, 상기 프로그램 레지스터 어레이는

상기 풀업 인에이블 신호의 인에이블시 전원전압을 풀업시키는 풀업 구동소자;

프로그램 레지스터의 양단에 크로스 커플드 구조로 연결되어 상기 풀업 구동소자로부터 인가되는 전압을 구동하는 제 1구동부;

상기 라이트 제어 신호에 따라 상기 리셋신호 및 셋트 신호를 상기 프로그램 레지스터의 양단에 출력하는 라이트 인에이블 제어부;

상기 셀 플레이트 신호에 따라 상기 프로그램 레지스터의 양단에 전압 차를 발생시키는 강유전체 캐패시터부;

상기 풀다운 인에이블 신호의 인에이블시 접지전압을 풀다운시키는 풀다운 구동소자; 및

상기 프로그램 레지스터의 양단에 크로스 커플드 구조로 연결되어 상기 풀다운 구동소자로부터 인가되는 전압을 구동하는 제 2구동부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치.

【청구항 20】

제 11항에 있어서, 상기 제 2타이밍 제어부는

상기 경로제어수단의 출력신호를 오아 연산하여 상기 셀 어레이 블록 구동 제어신호를 출력하는 오아게이트를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치.

【청구항 21】

제어신호 및 어드레스가 입력되는 복수개의 패드부;

상기 복수개의 패드부로부터 입력된 제어신호 및 어드레스를 버퍼링하는 복수개의 버퍼부;

상기 패드부로 입력되는 제어신호 및 어드레스의 할당을 위한 코드를 프로그램하고, 프로그램된 코드에 따라 상기 복수개의 패드부와 상기 복수개의 버퍼부 사이의 연결 경로를 변경하기 위한 레지스터 제어신호를 출력하는 패드 레지스터부; 및

상기 레지스터 제어신호에 따라 상기 복수개의 패드부와 상기 복수개의 버퍼부 사이의 연결 상태를 제어하는 경로 제어수단을 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치.

【청구항 22】

제 21항에 있어서, 상기 경로 제어수단은

제 1레지스터 제어신호의 활성화시 제어패드와 제어버퍼를 연결하고, 어드레스 패드와 어드레스 버퍼를 연결하는 제 1경로 제어부; 및

상기 제 1레지스터 제어신호와 위상이 반대인 제 2레지스터 제어신호의 활성화시 상기 제어패드와 어드레스 버퍼를 연결하고, 어드레스 패드와 제어버퍼를 연결하는 제 2경로 제어부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치.

【청구항 23】

제 22항에 있어서, 상기 제 1경로 제어부는

상기 제어패드와 상기 제어 버퍼 사이에 연결되어 상기 제 1레지스터 제어신호에 의해 스위칭 되는 제 1스위칭 소자; 및

상기 어드레스 패드와 상기 어드레스 버퍼 사이에 연결되어 상기 제 1레지스터 제어신호에 의해 스위칭 되는 제 2스위칭 소자를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치.

【청구항 24】

제 22항에 있어서, 상기 제 2경로 제어부는

상기 어드레스 패드와 상기 제어버퍼 사이에 연결되어 상기 제 2레지스터 제어신호에 의해 스위칭 되는 제 3스위칭 소자; 및

상기 제어패드와 상기 어드레스 버퍼 사이에 연결되어 상기 제 2레지스터 제어신호에 의해 스위칭 되는 제 4스위칭 소자를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치.



## 【청구항 25】

제 21항에 있어서, 상기 패드 레지스터부는

라이트 인에이블 신호와, 칩 인에이블 신호와, 출력 인에이블 신호 및 리셋신호에 따라 프로그램 명령을 코딩하기 위한 명령신호를 출력하는 프로그램 명령 처리부;

상기 명령신호, 입력 데이터 및 파워 업 검출신호를 논리연산하여 라이트 제어 신호 및 셀 플레이트 신호를 출력하는 프로그램 레지스터 제어부;

불휘발성 강유전체 메모리 소자를 구비하고, 상기 라이트 제어 신호, 상기 셀 플레이트 신호, 풀업 인에이블 신호 및 풀다운 인에이블 신호에 따라 상기 프로그램된 코드를 출력하는 프로그램 레지스터 어레이; 및

파워 업시 상기 리셋신호를 상기 프로그램 레지스터 제어부에 출력하는 리셋 회로부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치.

## 【청구항 26】

제 25항에 있어서, 상기 프로그램 명령 처리부는

상기 라이트 인에이블 신호, 상기 칩 인에이블 신호, 상기 출력 인에이블 신호 및 상기 리셋신호를 논리연산하는 논리부;

상기 논리부의 출력신호에 대응하여 상기 출력 인에이블 신호의 토글을 순차적으로 플립 플롭시켜 상기 명령신호를 출력하는 플립플롭부; 및

상기 출력 인에이블 신호의 오버 토글을 감지하는 오버 토글 감지부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치.

## 【청구항 27】

제 26항에 있어서, 상기 논리부는

상기 라이트 인에이블 신호와 상기 칩 인에이블 신호를 노아 연산하는 제 1노아게이트;

상기 제 1노아게이트의 출력신호와 상기 출력 인에이블 신호를 앤드연산하는 제 1앤드게이트;

상기 제 1노아게이트의 출력신호, 반전된 상기 리셋신호 및 상기 오버 토글 감지부의 출력신호를 앤드연산하는 제 2앤드게이트를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치.

## 【청구항 28】

제 27항에 있어서, 상기 플립플롭부는 복수개의 플립플롭을 구비하고,

상기 복수개의 플립플롭은 데이터 입력 노드와 출력 노드가 서로 직렬 연결되어 출력단을 통해 상기 명령 신호가 출력되고, 상기 논리부로부터 인가되는 활성화 동기 신호에 따라 상기 출력 인에이블 신호의 토글을 플립플롭시킴을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치.

## 【청구항 29】

제 25항에 있어서, 상기 프로그램 레지스터 제어부는

상기 명령신호 및 상기 입력 데이터를 앤드연산하는 제 3앤드게이트;

상기 제 3앤드게이트의 출력을 비반전 지연하는 제 1지연부;

상기 제 3앤드게이트의 출력신호와 상기 제 1지연부의 출력신호를 노아연산하는 제 2노아게이트;

상기 제 2노아게이트의 출력을 지연하여 상기 라이트 제어 신호를 출력하는 제 2지연부;

상기 제 2노아게이트의 출력신호와 상기 파워 업 검출신호를 노아연산하는 제 3노아게이트; 및

상기 제 3노아게이트의 출력신호를 반전 지연하여 상기 셀 플레이트 신호를 출력하는 제 3지연부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치.

【청구항 30】

제 25항에 있어서, 상기 프로그램 레지스터 어레이는

상기 풀업 인에이블 신호의 인에이블시 전원전압을 풀업시키는 풀업 구동소자;

프로그램 레지스터의 양단에 크로스 커플드 구조로 연결되어 상기 풀업 구동소자로부터 인가되는 전압을 구동하는 제 1구동부;

상기 라이트 제어 신호에 따라 상기 리셋신호 및 셋트 신호를 상기 프로그램 레지스터의 양단에 출력하는 라이트 인에이블 제어부;

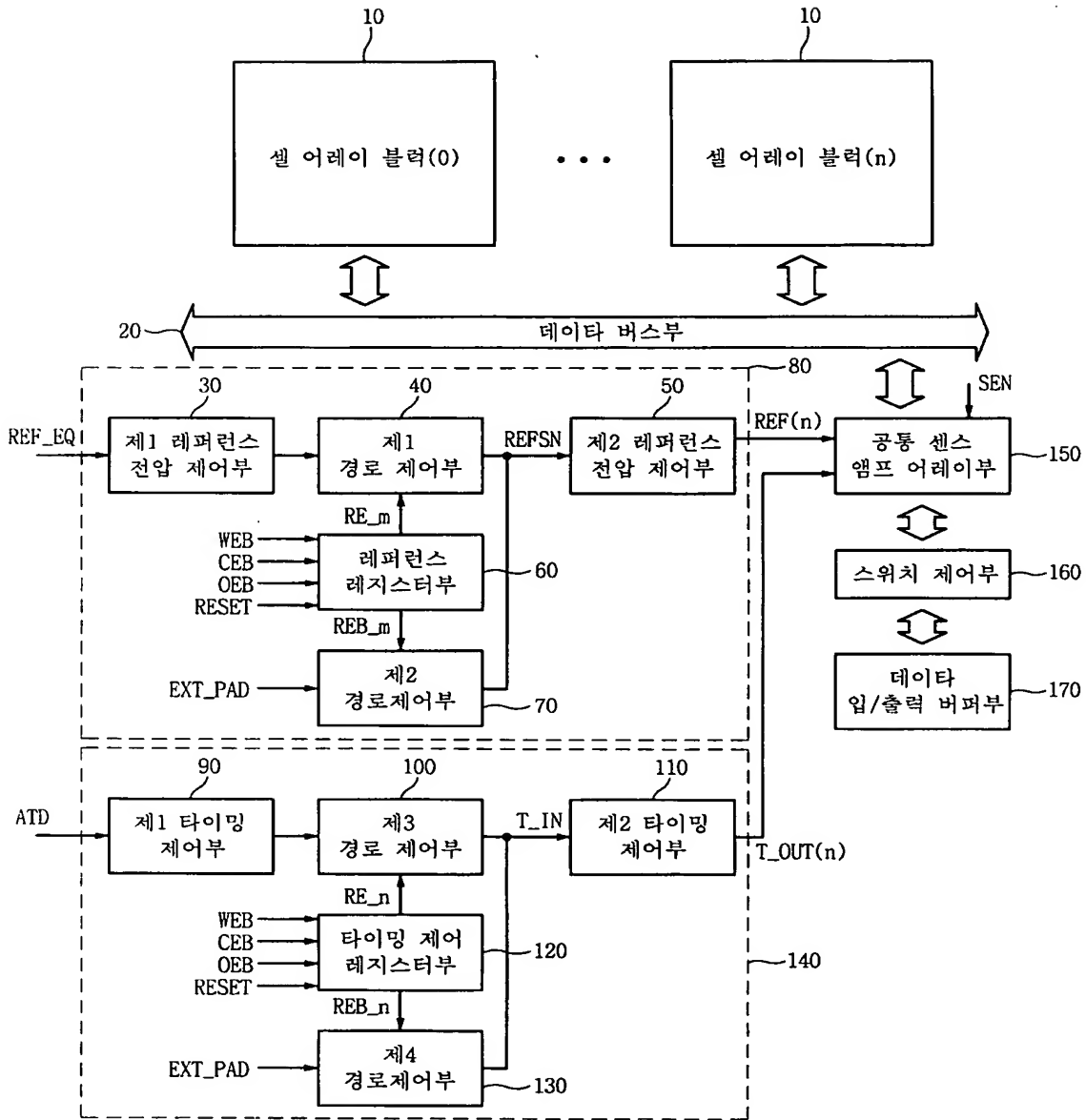
상기 셀 플레이트 신호에 따라 상기 프로그램 레지스터의 양단에 전압 차를 발생시키는 강유전체 캐패시터부;

상기 풀다운 인에이블 신호의 인에이블시 접지전압을 풀다운시키는 풀다운 구동소자; 및

상기 프로그램 레지스터의 양단에 크로스 커플드 구조로 연결되어 상기 풀다운 구동소자로부터 인가되는 전압을 구동하는 제 2구동부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 테스트 모드 제어 장치.

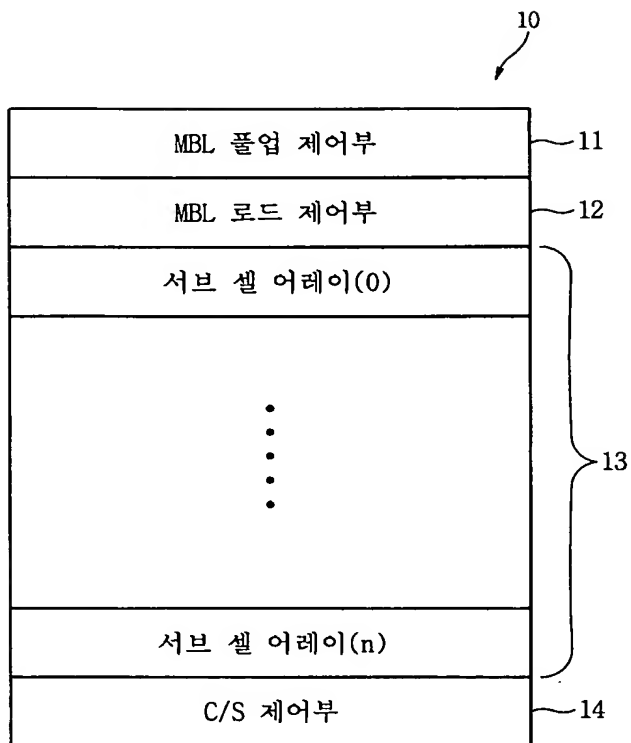
## 【도면】

【도 1】

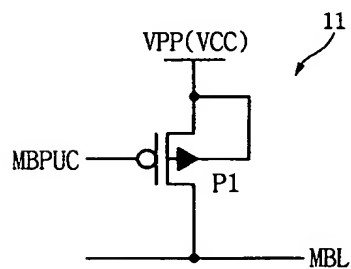




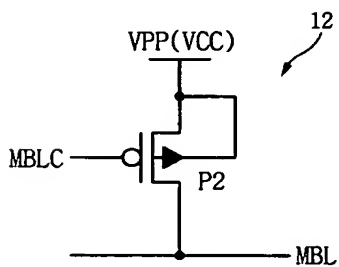
【도 2】



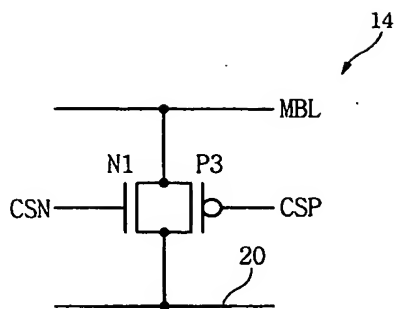
【도 3】



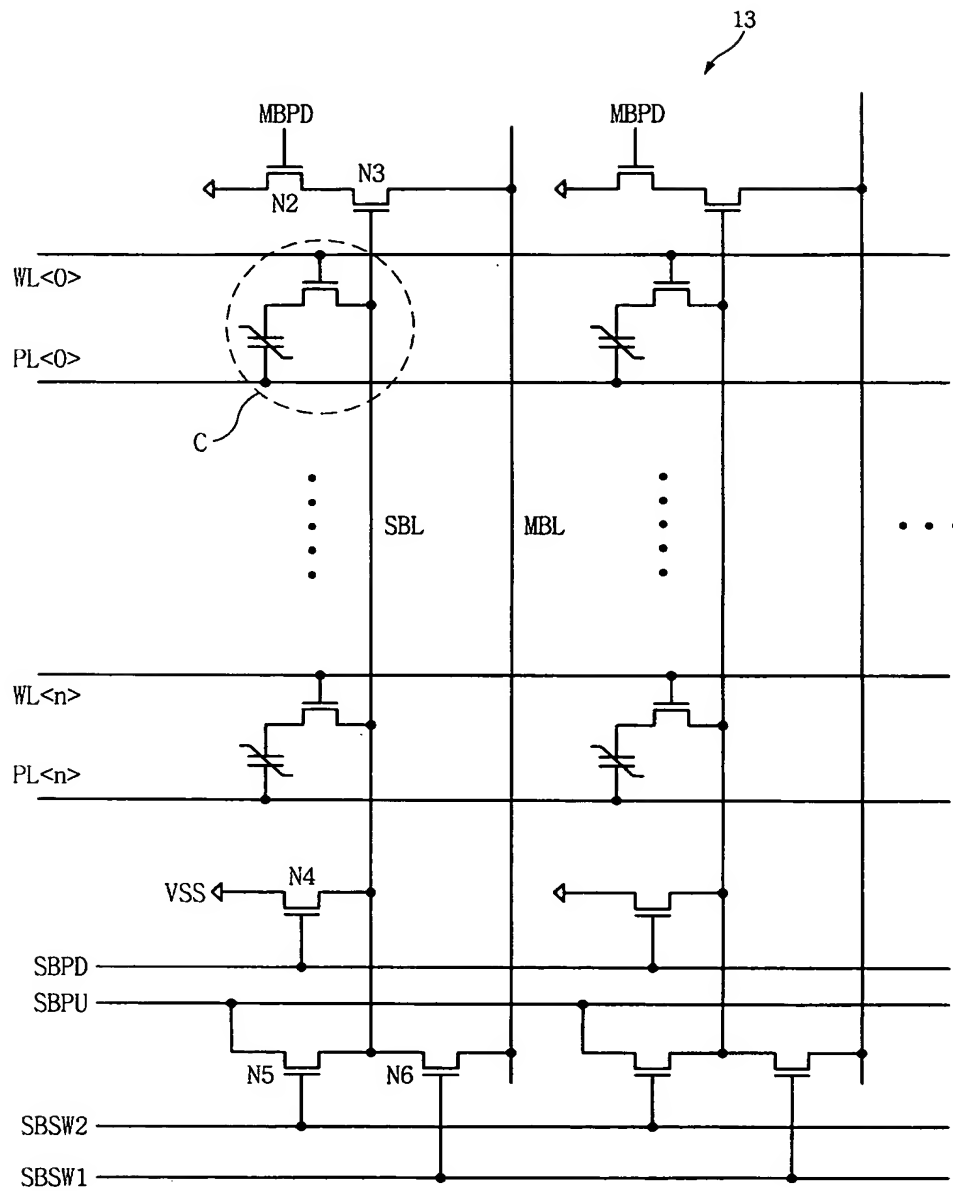
【도 4】



【도 5】

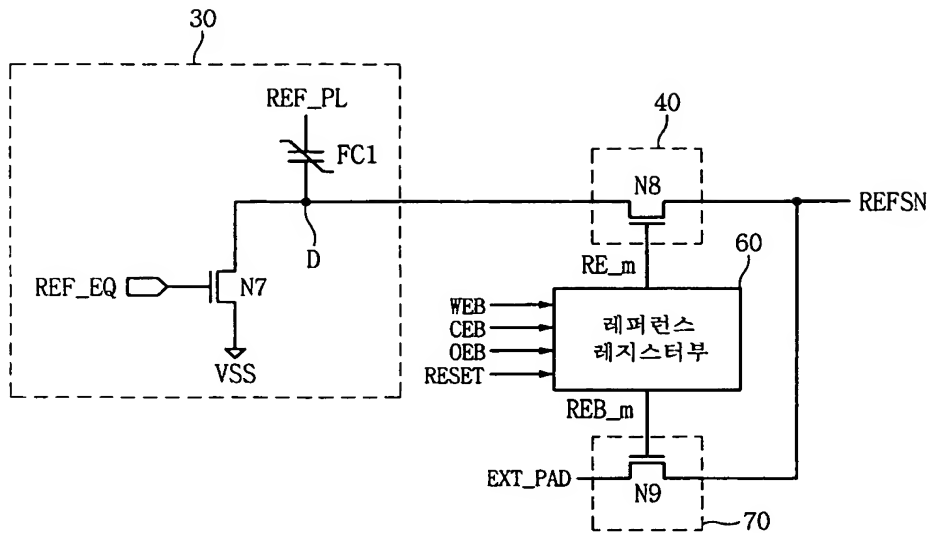


【도 6】

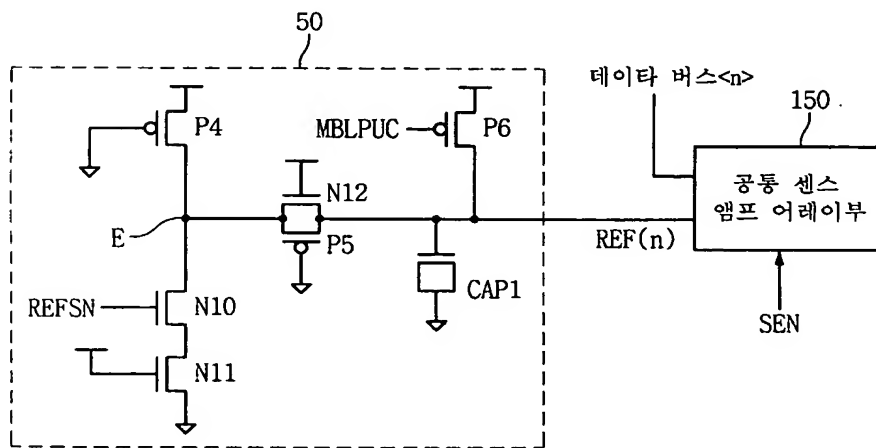




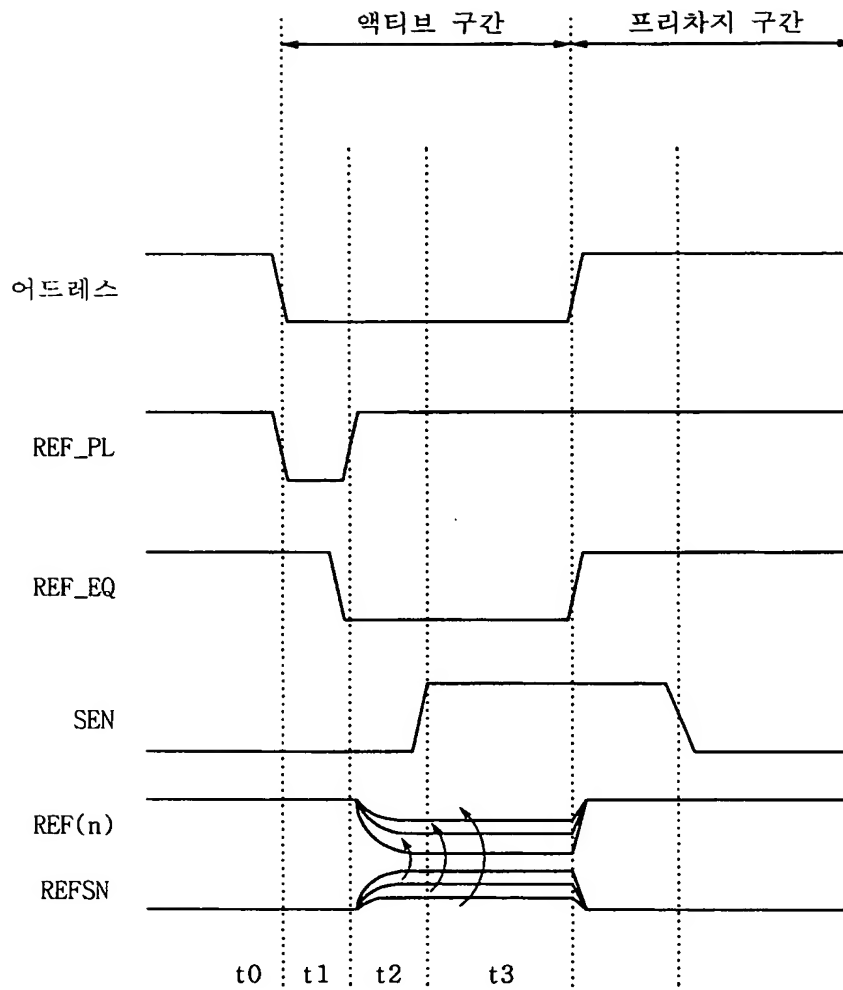
【도 7】



【도 8】

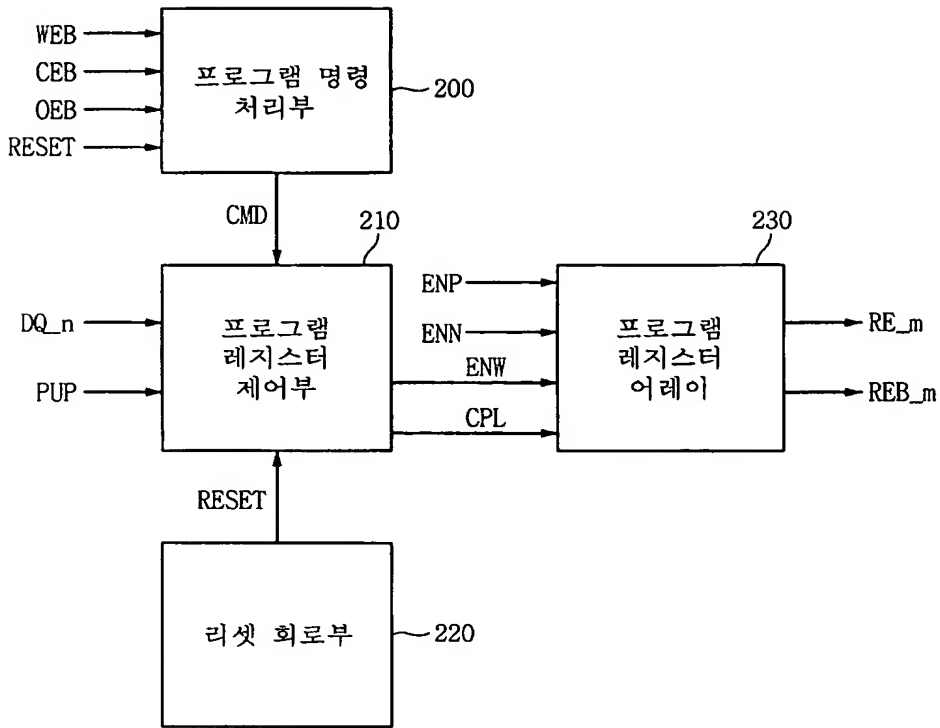


【도 9】

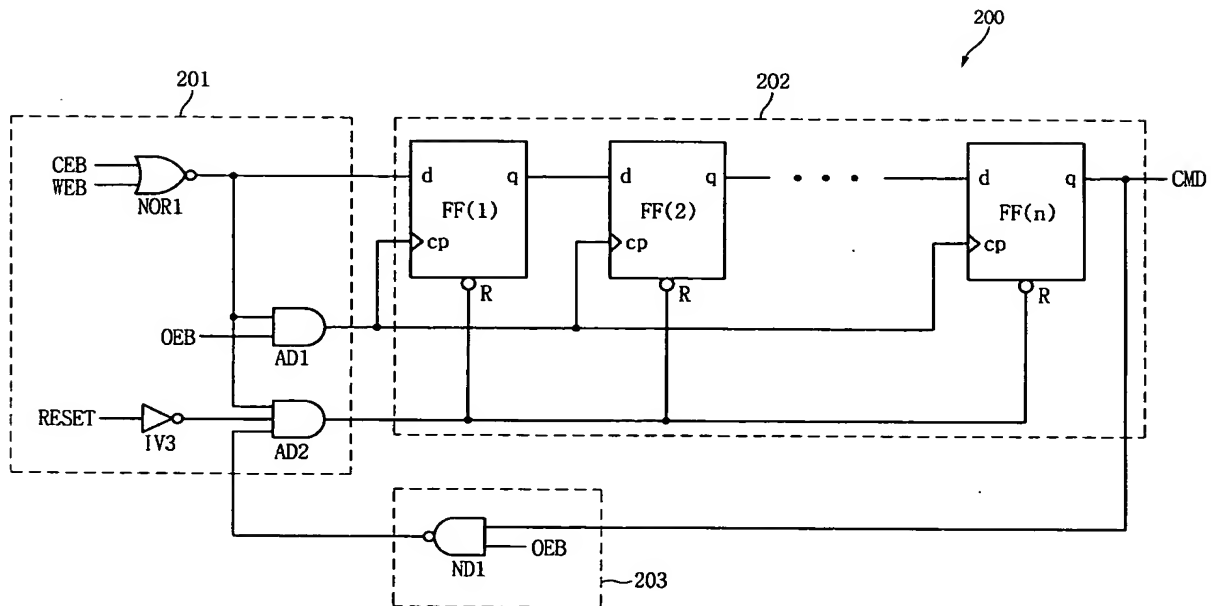


The diagram illustrates the internal structure of a memory device. At the center is a '패드 레지스터부' (190) which receives control signals: WEB, CEB, OEB, and RESET. It has two outputs, RE\_o and REB\_o. The RE\_o output is connected to a '제어 버퍼' (186) and a '어드레스 버퍼' (187). The REB\_o output is connected to a '제어 버퍼' (186) and a '어드레스 버퍼' (187). The device also includes two sets of transistors: N15 and N16 on the left, and N17 and N18 on the right. These transistors are connected to the RE\_o and REB\_o outputs. The output nodes are labeled 180 and 181. The entire device is controlled by a '제어 버퍼' (186) and an '어드레스 버퍼' (187).

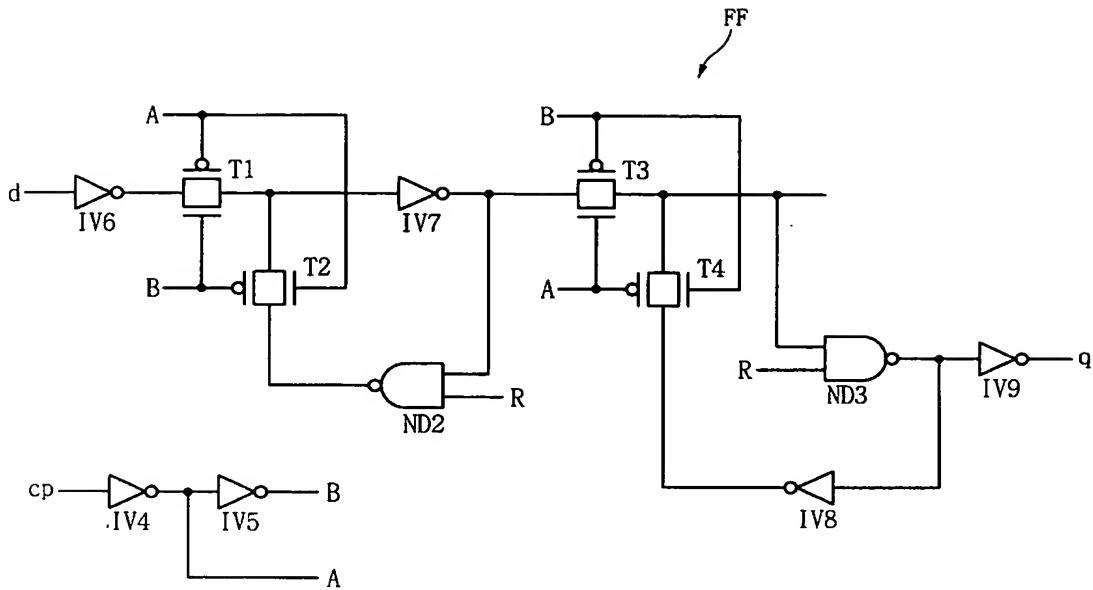
【도 12】



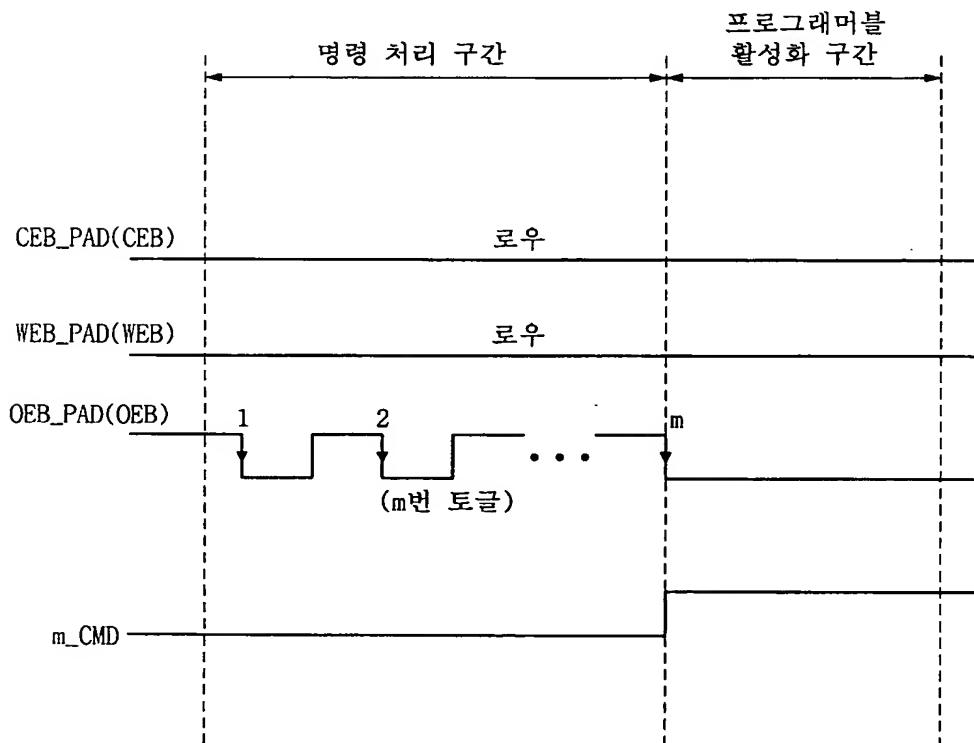
【도 13】



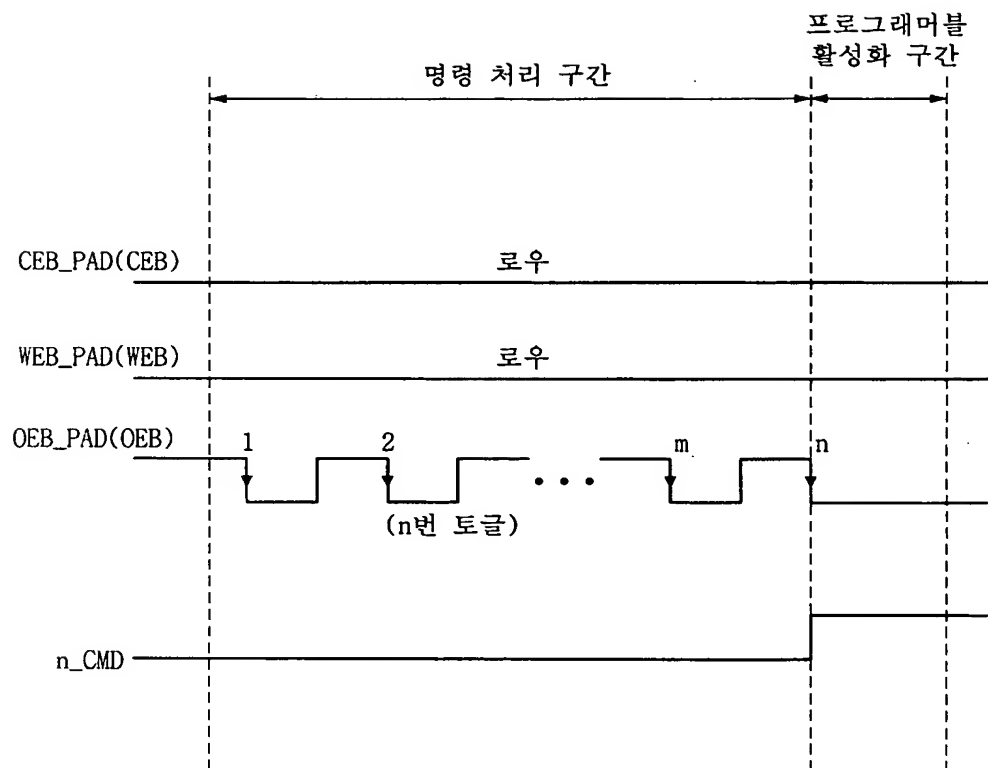
【도 14】



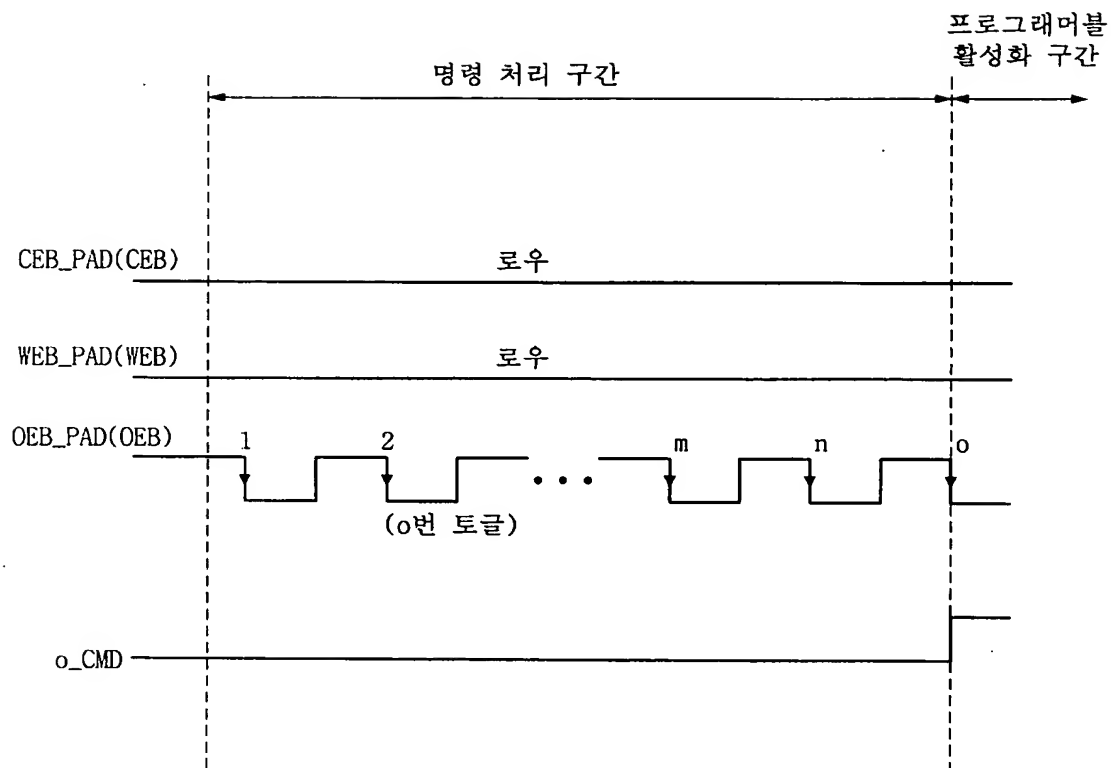
【도 15】



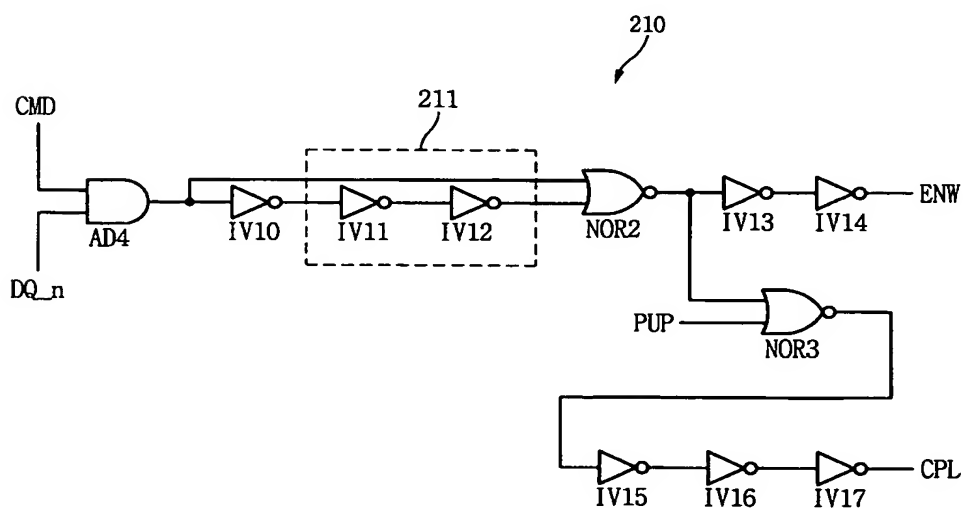
【도 16】



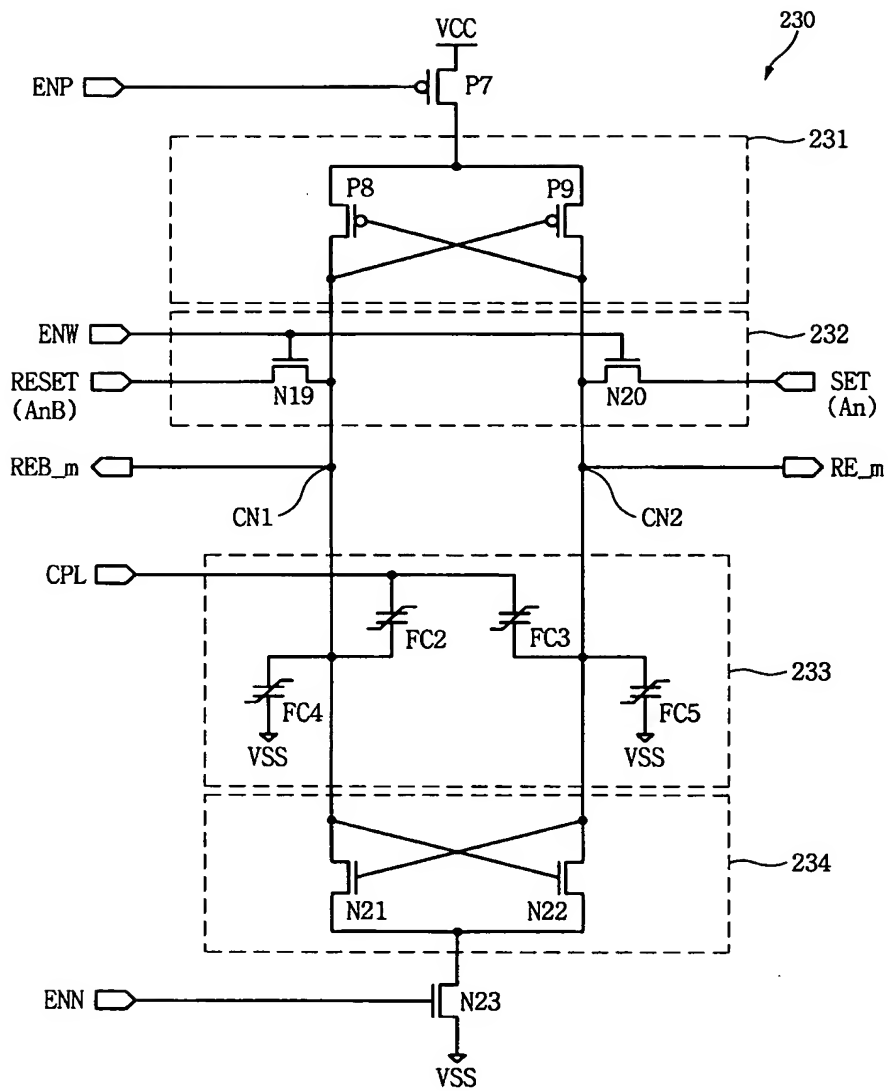
【도 17】



【도 18】

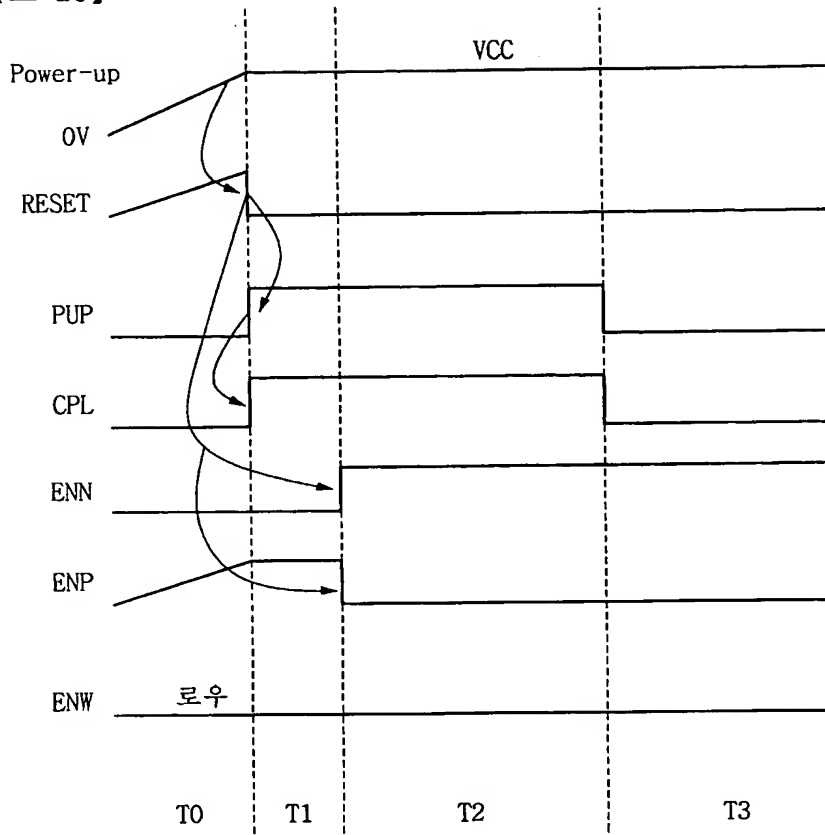


【도 19】





【도 20】



【도 21】

